

## Rozwój systemów mikrokomputerowych na przykładzie MERY-60 (SM-1633)

Centrum Naukowo-Produkcyjne Systemów Sterowania MERA-STER w Katowicach rozpoczęło w 1979 r. produkcję systemu mikrokomputerowego MERA-60, przeznaczonego do sterowania procesami technologicznymi, obliczeń inżynierskich oraz badań naukowych [1, 3]. System opracowano we współpracy ze Związkiem Radzieckim, w oparciu o elementy o dużym stopniu scalenia produkcji ZSRR i — elementy krajowe. Jest on wyposażony w urządzenia peryferyjne produkcji polskiej, jak również krajowe urządzenia sprzężenia z obiektem. System MERA-60 ulega ciąglej rozbudowie i modernizacji, zarówno pod względem sprzętowym, jak i programowym.

W ubiegłym roku mikrokomputer MERA-60 został poddany badaniom międzynarodowym. Przeszedł je z wynikiem pozytywnym jako pierwsza polska maszyna cyfrowa w rodzinie SM (nadano mu kryptonim SM-1633).

Zakłada się stały rozwój systemu MERA-60, przede wszystkim — jego cech funkcjonalnych. Jednocześnie podejmuje się prace nad przekształceniem systemu mikrokomputerowego MERA-60 w system następnej generacji — MERA-60/256, którego wprowadzenie do produkcji seryjnej przewiduje się na lata 1986—1987.

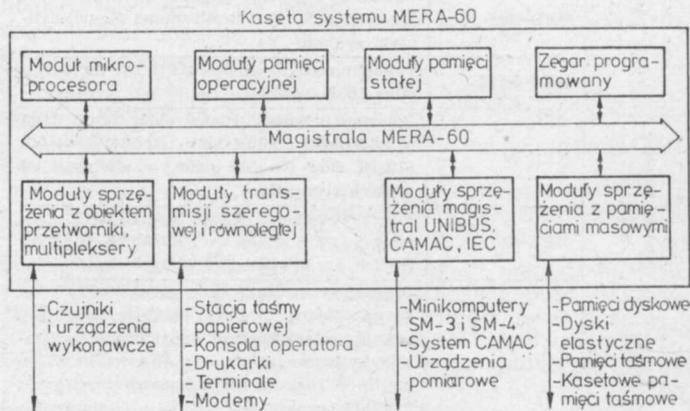
W artykule przedstawiono opis systemu MERA-60, wyniki badań międzynarodowych oraz podstawy koncepcji przekształcenia tego systemu w rodzinę MERA-60/256.

### SYSTEM MIKROKOMPUTEROWY MERA-60

MERA-60 jest modułarnym systemem mikrokomputerowym opartym na współczesnych elementach półprzewodnikowych MSI oraz LSI (mikroprocesor serii K-590 produkcji radzieckiej). Podstawowym składnikiem systemu jest magistrala złożona z 16 linii danych i adresów oraz 23 linii sterujących. Do magistrali jest dołączony procesor, moduły pamięci, wybrane moduły standardowe oraz moduły specjalne, zaprojektowane zgodnie z wymaganiami użytkowymi. Architektura systemu przedstawiono na rysunku 1, a pełny wykaz modułów w tabeli 1.



Prof. dr hab. inż. ANDRZEJ GRZYWAK ukończył w 1954 r. Wydział Elektryczny Politechniki Śląskiej w Gliwicach, specjalność automatyka. Doktorat i habilitację uzyskał na tej samej uczelni. Od 1975 r. profesor nadzwyczajny nauk technicznych. Obecnie zatrudniony jako zastępca dyrektora ds. naukowo-badawczych w Instytucie Systemów Sterowania w Katowicach i profesor w Instytucie Informatyki Czasu Rzeczywistego Politechniki Śląskiej. Specjalizuje się w zagadnieniach architektury i budowy maszyn cyfrowych. Laureat nagrody państwowej I stopnia.



Rys. 1. Architektura systemu MERA-60

Obsługa urządzeń w systemie może odbywać się dwoma sposobami:

- programowo, na zasadzie badania rejestru stanu wybranego modułu
- sprzętowo, przez badanie stanu logicznego określonych linii sterujących magistrali, po wykonaniu kolejnego rozkazu.

Przy obsłudze sprzętowej stosuje się tzw. wektorowy system przerwań, umożliwiający praktycznie natychmiastowe zidentyfikowanie źródła przerwania (ze zwłoką 2—35  $\mu$ s) i wykonanie programu obsługi. Moduł elektronicznie najbliższy procesora ma najwyższy priorytet obsługi, a moduł najdalszy — priorytet najniższy. Oprócz przerwań sprzętowych mogą występować tzw. przerwania programowe realizowane za pomocą specjalnych rozkazów.

Wszystkie moduły dołączone do magistrali mają adresy z zakresu  $16000_8$ — $17777_8$ , pamięć operacyjna jest adresowana w zakresie  $0_8$ — $15777_8$ . Adresy  $0_8$ — $37_8$  zarezerwowano dla tzw. wektorów przerwań.

Stos systemowy, obsługiwany sprzętowo, umożliwia automatyczne zapisywanie lub odczytywanie adresów przy skokach do podprogramów i powrotach z podprogramów.



Mgr inż. ZBIGNIEW SUCHORONCZAK ukończył w 1979 r. Wydział Automatyki i Informatyki Politechniki Śląskiej w Gliwicach. Pracuje w Instytucie Systemów Sterowania w Katowicach, w Zakładzie Konstrukcji Mikroprocesorowych. Zajmuje się architekturą systemów mikrokomputerowych. Jako kierownik tematu prowadził ze strony polskiej badania międzynarodowe MERY-60. Pierze udział w pracach nad konstrukcją MERY-60/256.

Tabela 1. Wykaz modułów elektronicznych systemu MERA-60

Nazwa	Typ	Opis
1	2	3
Procesory	M1	Procesor 16-bitowy zrealizowany na pojedynczej płycie z blokiem 4 K słów pamięci półprzewodnikowej (odpowiednik procesora LSI-11 firmy DEC)
	M2	Procesor M1 z listą rozkazów rozszerzoną o rozkazy arytmetyczne i zmiennoprzecinkowe
Moduły pamięci operacyjnej	P1	Dynamiczna pamięć półprzewodnikowa o pojemności 4 K słów, zrealizowana na pojedynczym pakiecie, współpracująca z procesorem M1 (wymaga dodatkowego sygnału sterującego)
	P2	Pamięć o cechach pamięci P1 nie wymagająca żadnego sygnału dodatkowego
	MPD-60/8	Dynamiczna pamięć półprzewodnikowa o pojemności 8 K słów, zrealizowana na pojedynczym pakiecie
	MPD-60/16	Pamięć o cechach pamięci MPD-60/8 i o pojemności 16 K słów
Moduły pamięci stałych	MPR-60	Półprzewodnikowa pamięć stała typu ROM o pojemności 256-2K słów (co 256 słów) lub 512-4K słów (co 512 słów), w zależności od użytych elementów
	MPE-60	Półprzewodnikowa pamięć typu EPROM o pojemności 1K-8 K słów (co 1 K) lub 2K-16K słów (co 2 K) w zależności od użytych elementów
Zegar		Programowany zegar czasu rzeczywistego zrealizowany na podwójnym pakiecie, zliczający impulsy jednej z pięciu częstotliwości generatora kwarcowego lub częstotliwości sieci. Ma możliwość zliczania zdarzeń zewnętrznych przez 2 wejścia analogowe ( $\pm 12$ V) i — sterowania przez 3 wyjścia (standard TTL)
Moduły sprzężenia z obiektem	MWW-60	Moduł wejść-wyjść cyfrowych dla 16 niebuforowanych linii danych z dwoma sygnałami sterującymi i dwoma sygnałami zewnętrznymi, mogącymi wywołać przerwanie (poziom sygnał TTL). Może być wykorzystany jako moduł transmisji równoległej
	MUX-60	Moduł multiplexera 64 wejść dwustanowych zorganizowanych bitowo (64 $\times$ 1) lub bajtowo (8 $\times$ 8 bitów, poziom sygnałów TTL)
	MDX-60	Moduł wejść-wyjść cyfrowych — niebuforowanych (2 $\times$ 16 wejść) i buforowanych linii danych (2 $\times$ 16 wyjść) z 16 sygnałami sterującymi i 4 sygnałami zewnętrznymi mogącymi wywołać przerwanie (poziom sygnałów TTL)
Terminatory	K500 K502 K504	Moduły terminatorów magistrali MERA-60; 00 — kabel, 20 — dopasowanie 120 $\Omega$ , 04 — dopasowanie 250 $\Omega$
	MTB-60	Moduł terminatora 250 $\Omega$ z wbudowanym programem samoladującym (ang. bootstrap)
Moduły transmisji	MDK-60/1	Moduł podstawowy transmisji szeregowej (według standardu V-24), z możliwością wyboru szybkości transmisji i liczby bitów stopu
	MDL-60	Moduł transmisji szeregowej (według standardu V-24), z możliwością przełączenia na transmisję w pętli prądowej. Ma możliwość wyboru szybkości transmisji i liczby bitów stopu
	MMT-60	Moduł cztero-kanałowy transmisji szeregowej (według standardu V-24), z rozszerzoną możliwością wyboru szybkości transmisji, liczby bitów stopu i sposobu kontroli transmisji dla obu kierunków (zrealizowany na podwójnym pakiecie)
Moduły transmisji	MTT-60	Moduł transmisji szeregowej (według standardu V-24) z rozszerzoną możliwością wyboru szybkości transmisji, liczby bitów stopu i długości słowa. Zapewnia kontrolę danych odbieranych i możliwość wyboru kontroli transmisji niezależnie dla obu kierunków. Zmiana szybkości transmisji może być dokonana programowo. Zrealizowany jest na podwójnym pakiecie
	MLP-60	Moduł transmisji równoległej słowa 8 bitowego, do komunikacji z urządzeniami znakowymi pracującymi w trybie start-stopowym; wyposażony w dodatkowe sygnały do współpracy z drukarką DZM-180

1	2	3
Moduły transmisji	MCD-60	Moduł transmisji równoległej słowa 8 bitowego do komunikacji z urządzeniami znakowymi pracującymi w trybie start-stopowym
	MTS-60	Moduł transmisji synchronicznej zgodnej z protokołem BSC (zrealizowany na podwójnym pakiecie)
Urządzenia sprzężenia magistrali	MCM-60	Moduł sprzężenia magistrali MERA-60 ze sterownikiem kasyety CAMAC, typu 106 (zrealizowany na podwójnym pakiecie)
	MQU-60	Moduł sprzężenia magistrali MERA-60 z magistralą UNIBUS (zrealizowany na podwójnym pakiecie)
	MIE-60	Moduł sprzężenia magistrali MERA-60 z magistralą IEC (zrealizowany na podwójnym pakiecie)
Moduły sprzężenia z pamięciami masowymi	MDE-60	Moduł sprzężenia z pamięcią na dyskach elastycznych, typu SP-60 M
	MPK-60	Moduł sprzężenia z kasetową pamięcią taśmową typu PK-1
	MDT-60	Sterownik 4 pamięci dyskowych typu SM-5400 (zrealizowany na podwójnym pakiecie)
	MPT-60	Moduł sprzężenia z pamięcią taśmową typu PT-305 (zrealizowany na podwójnym pakiecie)

Podczas przerwania następuje automatyczne zapisywanie na stosie aktualnej zawartości licznika rozkazów i rejestru stanu procesora, a następnie — wpisanie wektora przerwania do licznika rozkazów i rejestru stanu.

Lista rozkazów mikrokomputera MERA-60 jest zgodna z listą rozkazów mikrokomputera PDP-11/03 firmy DEC [2, 5] i obejmuje rozkazy: bezadresowe, jednoadresowe i dwuadresowe. Kod rozkazów bezadresowych zawiera tylko kod operacji. W kodach rozkazów jednoadresowych i dwuadresowych zwykle zawarta jest informacja określająca wykonywaną operację, rejestry uniwersalne wykorzystywane przy pobieraniu argumentów, tryb adresowania.

Procesor systemu MERA-60 ma 8 rejestrów uniwersalnych (RO-R7). Są one wykorzystywane jako akumulatory, rejestry adresowe, rejestry adresowe o zawartości zmieniającej się automatycznie oraz rejestry indeksowe, których zawartość jest dodawana do tzw. przemieszczenia w celu otrzymania adresu argumentu (umożliwia to łatwe operowanie elementami tablicy).

Automatyczne zwiększanie zawartości rejestru adresowego podczas manipulowania zawartością kolejnych komórek pamięci nazywa się autoinkrementacją, natomiast automatyczne zmniejszanie zawartości rejestru adresowego — nazywa się autodekrementacją. Wykorzystanie autoinkrementacji i autodekrementacji umożliwia organizowanie stosu. Jako wskaźnik stosu może służyć dowolny rejestr uniwersalny. Niektóre rozkazy (np. używane przy obsłudze przerwań, skokach do podprogramów i powrocie) wykorzystują automatycznie rejestr R6 jako sprzętowy wskaźnik stosu.

Rejestr R7 pełni funkcję licznika rozkazów. Z tego powodu jego użycie w charakterze rejestru uniwersalnego ogranicza się do adresowania z autoinkrementacją, adresowania pośredniego z autoinkrementacją, względnego oraz względnego pośredniego. Ponadto można stosować adresowanie proste (ang. *immediate*) i bezpośrednie. We wszystkich trybach adresowania można używać dowolnego z ośmiu rejestrów uniwersalnych.

Znaczną zaletą systemu MERA-60 jest bogate oprogramowanie podstawowe, diagnostyczne, komunikacyjne i użytkowe (tab. 2). Oprogramowanie systemu MERA-60 jest zgodne z oprogramowaniem minikomputerów SM-3, SM-4 i PDP-11 [6]. W tabeli 2 podano także zamierzenia dotyczące rozszerzenia oprogramowania dla systemu MERA-60/256. Powstanie ono przede wszystkim w oparciu o wieloprogramowy i wielozadaniowy system operacyjny RSX-60M oraz języki programowania COBOL i ADA.

Tabela 2. Oprogramowanie mikrokomputerów MERA-60 i MERA-60/256

Nazwa i nośnik	Charakterystyka
System operacyjny RT-60 (dysk elastyczny lub twardy)	System operacyjny czasu rzeczywistego, przeznaczony w zasadzie dla jednego użytkownika. Umożliwia wykonywanie zadania czasu rzeczywistego, przy jednoczesnej pracy w trybie interakcyjnym lub wsadowym. Zapewnia korzystanie z następujących języków programowania; MACRO-ASSEMBLER, FORTRAN IV, FOCAL, APL, BASIC
System operacyjny RSX-60S (dysk elastyczny lub twardy)	Wieloprogramowy i wielozadaniowy system operacyjny czasu rzeczywistego, pełniący funkcje wykonawcze. Wykonuje programy przygotowane w językach MACRO i FORTRAN IV, natomiast nie zapewnia możliwości przygotowywania i uruchamiania programów
System operacyjny RSX-60M <sup>1)</sup> (dysk elastyczny lub twardy)	Wieloprogramowy i wielozadaniowy system operacyjny czasu rzeczywistego stanowiący rozszerzenie systemu RSX-60S. Może być generowany dla różnych zastosowań, w postaci wielu odmian, od bardzo małych i prostych do dużych i rozbudowanych. Umożliwia programowanie w następujących językach; MACRO-ASSEMBLER, FORTRAN IV-PLUS, BASIC-PLUS-2, BASIC, COBOL, ADA
Oprogramowanie diagnostyczne (dysk elastyczny lub twardy, taśma papierowa)	Zbiór programów testowych dla wszystkich modułów dołączonych do magistrali (przeznaczony głównie do konserwacji i uruchamiania) oraz zestaw zadań kontrolnych umożliwiających testowanie pod kontrolą systemu operacyjnego
System komunikacyjny — wersja RT (dysk elastyczny lub twardy)	Wraz z systemem RT-60 stanowi oprogramowanie węzła sieci komputerowej zapewniając komunikację z pozostałymi węzłami sieci, tzn.; komunikację między zadaniami dwóch węzłów, transmisję zbiorów między węzłami, dostęp do zasobów drugiego węzła. Dostęp do systemu komunikacyjnego jest możliwy dla programów użytkowych napisanych w językach MACRO i FORTRAN
System komunikacyjny — wersja RSX <sup>1)</sup> (dysk elastyczny lub twardy)	Wymienione funkcje komunikacyjne dla systemu RSX-60M
Inne oprogramowanie jak; edytor tekstowy, biblioteki programów itp.	

<sup>1)</sup> przewidziany jedynie dla mikrokomputera MERA-60/256

### BADANIA MIĘDZYNARODOWE SYSTEMU MERA-60

Na przełomie maja i czerwca ub.r. w Instytucie Systemów Sterowania w Katowicach odbyły się 21-sze Międzynarodowe Badania Środków Technicznych systemu SM elektronicznych maszyn cyfrowych. Wzięli w nich udział specjaliści z ZSRR, CSRS, NRD i Bułgarii. Celem badań, do których przedstawiono mikrokomputer MERA-60, było włączenie go do środków technicznych jednolitego systemu SM. W myśl klasyfikacji środków technicznych systemu SM mikrokomputer MERA-60 należy do drugiej generacji maszyn cyfrowych w klasie SM 50/50-3. Główne cechy charakterystyczne tej klasy to oparcie procesora na elementach o dużym stopniu scalenia (LSI), 16 bitowe słowo maszynowe, możliwość adresowania 32 K słów pamięci, programowa zgodność z komputerami SM-3 i SM-4, możliwość współpracy z innymi urządzeniami systemu SM. Średni czas międzyawaryjny mikrokomputera powinien być rzędu 1000 h.

Mikrokomputer MERA-60 został poddany badaniom w następującej konfiguracji:

- moduły elektroniczne — P2 (6 szt.), MPR-60 (1 szt.), MDE-60 (1 szt.), MDK-60 (2 szt.), MQU-60 (1 szt.)
- kasetka o wysokości 8U (U = 14,45 mm) z podwójnym zestawem procesora (M2) i zasilaczem
- konstrukcja nośna o wysokości 14U.

Do tak zestawionego mikrokomputera dołączono: monitor ekranowy MERA-7952, drukarkę znakowo-mozaikową DZM-180 KSR, stację pamięci na dyskach elastycznych SP-60 MU, pamięć dyskową SM-5400 (przez sterownik SM-5402).

W celu wykazania powtarzalności parametrów mikrokomputera badano dwa egzemplarze jednocześnie.

Zasadnicze punkty harmonogramu badań mikrokomputera MERA-60 były następujące:

- praca ciągła przez 48 godzin przy wykorzystaniu programów testowych poszczególnych modułów i systemu operacyjnego
- badanie zgodności programowej z minikomputerami SM-3 i SM-4 przez pracę pod systemem operacyjnym RT-60
- badanie czasu wykonania podstawowych operacji z wykorzystaniem specjalnego programu
- badanie zgodności programowej z mikrokomputerem LSI-11 za pomocą oryginalnych programów testowych firmy DEC
- badanie działania mikrokomputera przy zmianach napięcia zasilania
- sprawdzenie zamienności modułów elektronicznych określonego typu przez ich wymianę między testowanymi egzemplarzami mikrokomputera
- pomiar poboru mocy.

Ponadto, niejako automatycznie, dla podanej konfiguracji systemu MERA-60 zbadano:

- obciążalność magistrali dzięki pełnemu obsadzeniu podwójnego zestawu
- adresowalność pamięci w zakresie 28 K słów
- możliwość dołączenia urządzeń systemu SM (drukarka DZM-180 KSR, sterownik SM-5402).

Sprawdzono również zgodność wykonania mikrokomputera z dokumentacją i jej poprawność. Mikrokomputer MERA-60 przeszedł wszystkie badania pomyślnie i został włączony do systemu SM elektronicznych maszyn cyfrowych, kryptonim SM 1633, jako pierwszy polski komputer tej klasy.

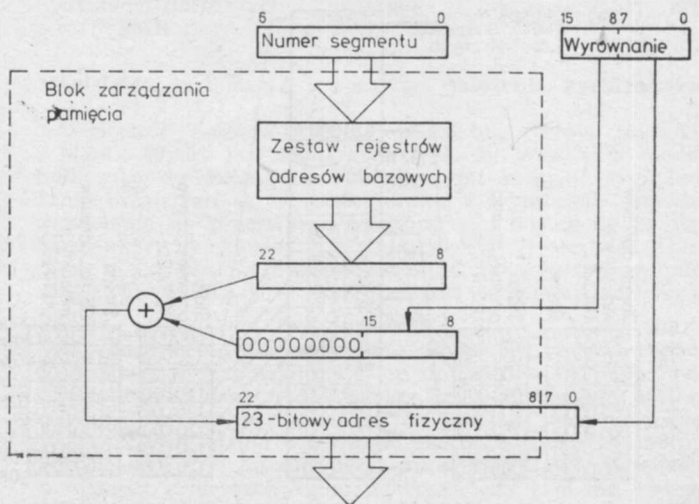
### PODSTAWOWE ZAŁOŻENIA SYSTEMU MERA-60/256

Zgodnie z ustalonym planem Rady Głównych Konstruktorów systemu małych maszyn cyfrowych SM, w latach 1985—1995 będą produkowane komputery tzw. trzeciej kolejności [4]. Zakłada się, że będą one miały następujące cechy:

- zwiększoną, praktycznie o rząd wielkości, niezawodność
- konstrukcję przystosowaną do produkcji kilkanaście razy większej od obecnej produkcji komputerów
- architekturę przystosowaną do pracy wieloprocesorowej i pracy w sieci komputerowej, z mechanizmami umożliwiającymi programowanie współbieżne
- lepsze o rząd wielkości parametry eksploatacyjne
- nowe rodzaje urządzeń zewnętrznych i pamięci
- oprogramowanie zgodne z oprogramowaniem swoich poprzedników (tzw. maszyn pierwszej i drugiej kolejności).

W Instytucie Systemów Sterowania podjęto prace nad rozszerzeniem systemu MERA-60 do systemu MERA-60/256. Założono wprowadzenie następujących zmian w stosunku do MERY-60 produkowanej obecnie:

- rozszerzenie magistrali przez wprowadzenie dodatkowych linii danych i adresów oraz linii przerwań (rys. 2, tab. 3),

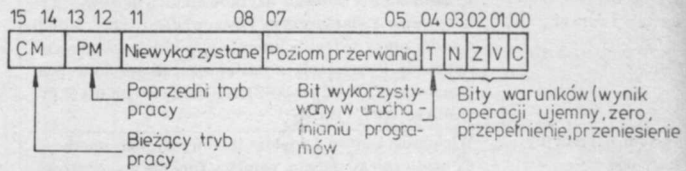


Rys. 2. Organizacja magistral w systemie MERA-60 (liczby w nawiasach dotyczą rozszerzenia magistrali MERA-60/256)

Tabela 3. Zestawienie sygnałów magistrali MERA-60 i MERA-60/256

Funkcje grupy linii	Nazwy sygnałów
Linie danych i adresów	DA00 — DA15 (dla obu magistrali) DA16 — DA17 (tylko dla magistrali MERA-60/256)
Linie sterujące wymianą danych	SIA — sygnał synchronizacji urządzenia aktywnego WYW — sterowanie operacją wyjścia SIP — sygnał odpowiedzi z urządzenia biernego WWO — sterowanie operacją wejścia BAJT — sygnał informacyjny o wyprowadzeniu bajtu WU — wybór urządzenia zewnętrznego
Systemowe linie kontrolne	OST — żądanie zatrzymania pracy procesora RGN — regeneracja pamięci PST — napięcie stałe w normie PTN — napięcie zmienne w normie SBR — zerowanie wstępne magistrali PRT — przerwanie od zdarzenia zewnętrznego
Linie obsługi przerwań	Linie przerwań; TPD — żądanie bezpośredniego dostępu do pamięci KPW — potwierdzenie wyboru bezpośredniego dostępu TPR — żądanie przerwania TPR1 — „ „ „ tylko dla magistrali TPR2 — „ „ „ MERA-60/256 TPR3 — „ „ „ Linie zezwoleń; PPD — zezwolenie na bezpośredni dostęp do pamięci PPR — zezwolenie na przerwanie

- rozbudowę pamięci operacyjnej systemu jednoprocessorowego do 256 K bajtów (rys. 3)
- rozbudowanie słowa stanu procesora (rys. 4)
- rozszerzenie listy rozkazów.



Rys. 4. Słowo stanu procesora MERA-60/256 i MERA-6 (do przerwań jednopoziomowych w mikrokomputerze MERA-6) wykorzystuje się jedynie bit 7, niewykorzystane pozostają też pola CM i PM)

### Układ zarządzania pamięcią

Przewiduje się, że mikrokomputer będzie stosowany przede wszystkim w systemach wieloprogramowych i wielozadaniowych. W tym celu konstruowany jest układ zarządzania pamięcią MMU (*Memory Management Unit*). Oprócz rozszerzenia fizycznej pamięci do 256 K bajtów będzie on umożliwiał pracę procesora w dwóch trybach KERNEL i USER oraz ochronę wybranych obszarów pamięci. Pełny zestaw funkcji realizowanych przez układ MMU podano w zestawieniu podstawowych parametrów (tab. 4).

W trybie KERNEL program ma pełną kontrolę nad systemem i może realizować wszystkie instrukcje. W trybie tym wykonywany jest monitor i jądro systemowe. W zastosowanych wieloprogramowych i wielozadaniowych, gdy w pamięci operacyjnej może rezydować wiele programów jednocześnie, oprogramowanie w trybie KERNEL spełnia następujące funkcje:

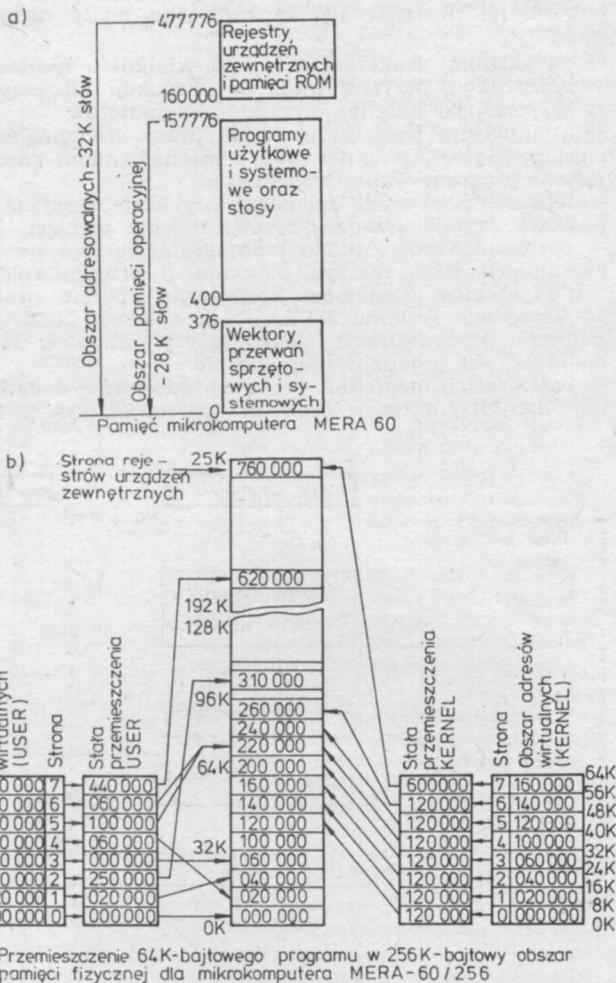
- kontrola wykonania różnych programów użytkowych
- przydział zasobów pamięciowych i sprzętowych
- ochrona integralności systemu jako całości.

W trybie USER programy są wykonywane w ograniczonym zakresie i zabezpieczone przed użyciem niektórych instrukcji mogących zniszczyć oprogramowanie systemowe lub użytkowe. Zadaniem oprogramowania w trybie KERNEL w systemach wielozadaniowych przy wykorzystaniu układu MMU, jest przydzielanie pamięci (tzw. stron) programom użytkowym oraz zabezpieczenie przed niekontrolowanym i niedozwolonym dostępem do innych obszarów pamięci.

Do realizacji opisanych funkcji układ MMU jest wyposażony w dwa zestawy ośmiu 32-bitowych (dostępnych programowo) rejestrów strony aktywnej (APR). Rejestr APR dzieli się na dwa rejestry 16-bitowe: rejestr adresu strony (PAR) i rejestr opisu strony (PDR). Przechowują one pełną informację niezbędną do opisu i przemieszczenia aktualnie aktywnych stron pamięci. Jeden zestaw APR wykorzystuje się w trybie KERNEL, a drugi w trybie USER, co jest określone przez słowo stanu procesora — PSW (rys. 4). Rejestr opisu strony (PDR) zawiera informację niezbędną dla tworzenia mechanizmów ochrony obszarów pamięci. Układ MMU jest ponadto wyposażony w matrycę rejestrów niezbędnych do realizacji operacji zmiennoprzecinkowych, wykonywanych przez specjalny sprzęt.

Długość słowa mikrokomputera MERA-60/256 wynosi 16 bitów co nie wystarcza do zaadresowania całej pamięci. Dlatego adres nie może być interpretowany jako adres fizyczny (PA), lecz — wirtualny (VA), zawierający informację wykorzystywaną do utworzenia 18-bitowego adresu fizycznego. W celu otrzymania adresu fizycznego, do adresu VA dodaje się informację zawartą w rejestrze PAR. Adres 16-bitowy jest przekształcony na 18-bitowy w sposób automatyczny, niewidoczny dla użytkownika.

Obszar pamięci wirtualnej jest podzielony na 8 stron po 8 K bajtów każda (łącznie 64 K bajtów). Każdej stronie odpowiadają dwa rejestry APR — jeden dla trybu KERNEL, drugi dla trybu USER. Trzy najstarsze bity 16-bitowego adresu wirtualnego określają odpowiadający mu re-



Rys. 3. Organizacja pamięci operacyjnych w systemach MERA-60 i MERA-60/256

Tabela 4. Podstawowe parametry mikrokomputera MERA-60 i zakładane — mikrokomputera MERA-60/256

Parametr	MERA-60	MERA-60/256
1	3	2
Długość słowa maszynowego (w bitach)	16	16
Lista rozkazów	Ponad 60 rozkazów podstawowych oraz 8 arytmetycznych i zmiennoprzecinkowych (lista rozkazów mikrokomputera LSI-11)	Ponad 60 rozkazów podstawowych i ok. 50 zmiennoprzecinkowych, realizowanych przez specjalny układ scalony przy wykorzystaniu układu zarządzania pamięcią (lista rozkazów komputera PDP-11/34r)
Liczba rejestrów uniwersalnych	8	8
Szybkość wykonywania operacji dodawania przy rejestrowanym trybie adresowania (w tys. op./s)	220	ok. 500
Liczba trybów adresowania	8	8 (dodatkowe tryby adresowania dla operacji zmiennoprzecinkowych)
Możliwość wykonywania operacji na bajtach	+	+
Możliwość wykonywania operacji z wykorzystaniem stosu	+	+
Bezpośredni dostęp do pamięci	+	+
Liczba poziomów wektorowego systemu przerwań	1	4 (dodatkowe poziomy przerwań zrealizowano dzięki trzem dodatkowym liniom przerwań (rys. 2) i dodatkowym bitom w słowie stanu procesora (rys. 4))
Asynchroniczna realizacja operacji na magistrali w trybie MASTER-SLAVE	+	+
Tryb pracy mikrokomputera	Programy lub komunikacja z konsolą — ODT	Programy — KERNEL lub USER, komunikacja z konsolą — ODT (tryby pracy programowej zapewniają układ zarządzania pamięcią)
Mikrokomputer komunikacji z konsolą (ODT)	+	+
Program samoladujący dla taśmy papierowej (ang. bootstrap)	+	— (tzn. nie rezyduje w module procesora)
Maksymalna pojemność pamięci operacyjnej (w K bajtach), tj. wielkość obszaru adresowego zmniejszonego o 8 K bajtów zarezerwowane na rejestry urządzeń zewnętrznych	64—8 = 56	256—8 = 248 (adresowanie zrealizowane za pomocą układu zarządzania pamięcią)
Stronicowa i blokowa organizacja pamięci operacyjnej	—	Obszar pamięci wirtualnej o pojemności 64 K bajtów dzieli się na 16 stron o zmiennej długości od 64 do 8 K bajtów (realizacja przy użyciu układu zarządzania pamięcią)
Ochrona dostępu do zastrzeżonych obszarów pamięci operacyjnej	—	Realizacja przy użyciu układu zarządzania pamięcią, rodzaje ochrony; obszar niedostępny, tylko odczyt, odczyt-zapis

1	2	3
Detekcja błędu parzystości przy odczycie z pamięci do procesora	—	Możliwość tę zapewniają dwie dodatkowe linie magistrali DA16 i DA17 (rys. 2); realizacja przy użyciu układu zarządzania pamięcią
Detekcja zaniku zasilania	+	+
Maksymalna liczba modułów elektronicznych	6 (zestaw pojedynczy) 12 (zestaw podwójny) 20 (zestaw potrójny)	7 (przy założeniu nie-12 zmienionych stanów 21 dardów mechanicznych)
Wymiary mechaniczne	Moduł; 135 × 240 mm (pojedynczy) 275 × 240 mm (podwójny) Kaseta; 19 cali × 790 mm × × kU n = 14 (24 lub 36) U = 14,45 mm k = 4 (6 lub 8) Konstrukcja nośna; 19 cali × 840 mm × × nU	Zakłada się możliwość wprowadzenia innego standardu mechanicznego, np. tzw. eurokarty
Poziomy sygnałów na magistrali (oprócz sygnałów zaniku zasilania)	Logiczne 0; +2 — +3,4 V Logiczne 1; 0 — +0,8 V	Logiczne 0; +2 — +3,4 V Logiczne 1; 0 — +0,8 V
Napięcie zasilania	220 V +10%, 50 ± 1 Hz —15%	220 V +10%, 50 ± 1 Hz —15%

jest APR. Taka organizacja umożliwi umieszczanie dużych programów w nieciągłych obszarach pamięci fizycznej oraz jednoczesne wykonywanie w tej pamięci kilku programów o tych samych adresach wirtualnych.

Na rysunku 3 przedstawiono 64 K-bajtowy obszar pamięci wirtualnej zajęty przez program użytkowy i jego przykładowe rozmieszczenie w pamięci fizycznej. Poszczególne adresy VA obszaru wirtualnego mogą być przekształcone na większe, mniejsze lub te same adresy w pamięci fizycznej. Dla ułatwienia — początki wszystkich stron dla trybu USER (z wyjątkiem drugiej) zostały przekształcone na adresy będące wielokrotnością 8 K bajtów, choć mogą być przekształcone na adresy stanowiące wielokrotność 64 bajtów (co wynika z organizacji strony, p. tab. 4). Różne strony pamięci wirtualnej mogą być umieszczone w tym samym obszarze pamięci fizycznej, co umożliwia dostęp wielu programów do wspólnych danych komunikacyjnych.

Obszar adresowy dla trybu KERNEL na rysunku 4 przesunięto prawie w całości — tak, aby zachować jego ciągłość. Górne 8 K bajtów obszaru fizycznego jest przeznaczony na stronę urządzeń zewnętrznych, dostępną jedynie w trybie KERNEL. Stałe przemieszczenia określa się na podstawie informacji zawartych w odpowiednich rejestrach PAR.

#### Magistrala systemowa i pozostałe założenia konstrukcyjne

Większość cech magistrali mikrokomputerów MERA-60 i MERA-60/256 jest identyczna (rys. 2). Wszystkie moduły dołączone do magistrali operują tymi samymi sygnałami. Linie magistrali są dwukierunkowe z wyjątkiem sygnałów zezwolenia na przerwanie i bezpośredni dostęp do pamięci. Stan aktywny każdej z linii (logiczne 1), jest określony przez niski poziom napięcia. Dokładną specyfikę sygnałów magistrali MERA-60 i MERA-60/256 przedstawiono w tabeli 3.

Magistrala określa priorytety urządzeń wejścia-wyjścia. Przerwanie i bezpośredni dostęp do pamięci są realizowane przez sygnały zezwoleń i żądań. Priorytet danego poziomu przerwania jest określony przez sygnały zezwoleń. Najwyższy priorytet ma urządzenie elektrycznie najbliższe procesora (rys. 2). Moduł przekazuje sygnał do urządzenia o niższym priorytecie tylko wówczas, gdy sam nie wymaga obsługi. Magistrala jest drugim, obok procesora, elementem realizacji wektorowego systemu przerwań dla urządzeń wejścia-wyjścia.

Operacje na magistrali MERA-60 i MERA-60/256 są wykonywane w sposób asynchroniczny, a komunikacja między dwoma, dołączonymi do niej urządzeniami, odbywa się według zasady MASTER-SLAVE<sup>1)</sup>. W danej chwili tylko jedno urządzenie zwane MASTER może mieć kontrolę nad magistralą. Przykładem takiego urządzenia jest procesor pobierający instrukcję z pamięci (z urządzenia typu SLAVE). Oprócz procesora urządzeniem typu MASTER może być każdy moduł realizujący funkcję bezpośredniego dostępu do pamięci.

Magistrala mikrokomputera MERA-60/256, w porównaniu z magistralą mikrokomputera MERA-60, jest rozszerzona o dwie linie adresowe (DA 16, DA 17) i trzy linie żądania przerwania (TPR1, TPR2, TPR3). Wymienione różnice umożliwiają zwiększenie obszaru adresowego i kontrolę parzystości przy przesyłaniu informacji przez magistralę oraz zwiększenie liczby poziomów przerwań.

Z przedstawionych założeń dotyczących budowy mikrokomputera MERA-60/256 wynika, że będzie on zgodny z mikrokomputerem PDP-11/23 firmy DEC (opartym na procesorze LSI-11 [5]). Dotychczas nie ustalono wymiarów pakietu i typu złącza.

W celu zapewnienia możliwości pracy wieloprocesorowej przewiduje się dodatkowe zastosowanie w mikrokomputerze MERA-60/256 szerokiej magistrali 32-bitowej, umożliwiającej arbitraż. Przewiduje się ponadto zminimalizowanie liczby typów modułów przez zwiększenie ich inteligencji i wprowadzenie możliwości zmiany funkcji przez zmianę programu działania. Oddzielnym problemem jest zastosowanie nowych typów urządzeń zewnętrznych.

1) Po polsku: nadrzędny-podległy (przyp. red.)

Program prac nad mikrokomputerem MERA-60/256 zakłada, że zrealizowanie prototypowej konfiguracji nastąpi we współpracy ze Związkiem Radzieckim w drugiej połowie bieżącego roku.

\* \* \*

System mikrokomputerowy MERA-60 jest bez wątpienia nowym elementem w rozwoju sprzętu komputerowego produkowanego w kraju. Rozszerza on znacznie możliwości realizacji systemów sterowania w przemyśle, transporcie, medycynie i innych gałęziach gospodarki. Modułarna budowa umożliwi ciągły rozwój systemu, zarówno sprzętowy, jak i programowy.

Realizacja planów produkcji mikrokomputera MERA-60/256 wymaga — oprócz prac konstrukcyjnych i programistycznych — podjęcia zasadniczych działań w kierunku unowocześnienia technologii produkcji sprzętu mikrokomputerowego. Jedynie przyjęcie nowoczesnej technologii wytwarzania może zapewnić temu sprzętowi wymaganą niezawodność oraz obniżyć koszty.

#### LITERATURA

- [1] Dokumentacja techniczno-ruchowa systemu MERA-60. Instytut Systemów Sterowania, Katowice, 1981
- [2] Eckhouse R.H.: Systemy minikomputerowe — organizacja i programowanie. WNT, Warszawa, 1979
- [3] Grzywak A., Pregiel R.: System mikrokomputerowy MERA-60 — zastosowanie i architektura. Biuletyn Techniczny MERA, nr 1 (215), str. 5 (1980)
- [4] Materiały Rady Głównych Konstruktorów SM EMC dotyczące maszyn cyfrowych trzeciej kolejności, 1982
- [5] Microcomputer Processors. Digital Equipment Corporation, Maynard, MA, 1981
- [6] PDP-11 Software Handbook. Digital Equipment Corporation, Maynard, MA, 1978/1979.

## KONFERENCJE

# INFOGRYF'83

W dniach 10—13 maja 1983 r. odbędą się kolejne, VI Kołobrzeskie Dni Informatyki INFOGRYF'83. Tradycyjnymi organizatorami tej konferencji są: TNOiK (oddział w Szczecinie), Instytut Informatyki i Zarządzania Politechniki Szczecińskiej oraz ZETO Szczecin. Obrady konferencji odbywać się będą w kołobrzeskich hotelach „Solny” i „Skanpol”. Podobnie jak w latach poprzednich, celem konferencji jest ocena oraz wymiana doświadczeń w zakresie zastosowań informatyki do zarządzania przedsiębiorstwem. Tematyka konferencji obejmuje sześć grup tematycznych:

1. Systemy informatyczne zarządzania przedsiębiorstwem
2. Metody informatyki w zarządzaniu przedsiębiorstwem
3. Oprogramowanie systemów informatycznych przedsiębiorstw
4. Efektywność zastosowań informatyki w przedsiębiorstwie
5. Stan i perspektywy rozwoju sprzętu i oprogramowania dla potrzeb zastosowań informatyki w przedsiębiorstwie
6. Informatyka a reforma gospodarcza.

Do wymienionych sesji tematycznych można zgłaszać komunikaty o objętości do 5 stron maszynopisu w terminie do 15 marca 1983 r. Organizatorzy zastrzegają sobie prawo selekcji komunikatów (do publikacji i wygłoszenia).

W ramach imprez towarzyszących przewiduje się zorganizowanie GIELDY NOWOŚCI INFORMATYKI, mającej na celu popularyzację nowych rozwiązań sprzętowych i programowych, a zwłaszcza rozpowszechnienie informacji o możliwościach ich nabycia. Do udziału w Gieldzie organizatorzy zapraszają zarówno przedsiębiorstwa, jak i osoby fizyczne, zajmu-

jące się oprogramowaniem, a także producentów sprzętu komputerowego. Przewiduje się wydanie katalogu Gieldy, w którym informacje będą prezentowane w następującym układzie:

- nazwa produktu
- właściciel
- charakterystyka produktu
- stosowany sprzęt (dotyczy oprogramowania)
- ograniczenia
- dotychczasowe wdrożenia
- warunki zakupu
- autorzy.

Przy zgłoszeniach powyższe informacje należy przedstawić na dwóch stronach maszynopisu (max.). Przewiduje się możliwość prezentacji zgłoszonych rozwiązań w stoiskach lub w ramach specjalnych prelekcji. Odpłatność za umieszczenie w katalogu — ok. 2000 zł.

Zgodnie z tradycją INFOGRYFU przewiduje się zorganizowanie imprez towarzyszących (wieczory autorskie, spotkania, dyskusje panelowe).

#### Warunki uczestnictwa

Zgłoszenia udziału w konferencji przyjmowane są do 15 marca 1983 r. W zgłoszeniu należy zadeklarować numery grup tematycznych. Koszt uczestnictwa wynosi 8250 zł. od osoby i obejmuje: zakwaterowanie i wyżywienie (rozliczane w ramach obowiązującej diety — 4 doby po 640 zł) oraz materiały konferencyjne. Po otrzymaniu zgłoszenia i dokonaniu wpłaty na konto NBP I O/M Szczecin nr 81012-420-132 — zostanie przekazany szczegółowy program obrad, natomiast materiały konferencyjne uczestnicy otrzymają na miejscu w Kołobrzegu.

Szczegółowych informacji udziela Biuro Oddziału TNOiK w Szczecinie, ul. Pocztowa 30/12, tel. 447-25.