

3

1972

P. 1877/72

informatyka

Thanasis Kamburelis — „System ODRA 1305 — Organizacja logiczna i podstawowe dane użytkowe”	1
Marek Holyński — „Przewidywanie tendencji zmian procesów za pomocą łańcuchów Markowa”	9
Ryszard Frydrychowski — „Programowanie liniowe w liczbach całkowitych”	13
Piotr Perkowski — „ZAM-GPSS — język do symulacji procesów dyskretnych”	16
Thomas E. Cheatham — „Dotychczasowy rozwój języków programowania” — tłum. z ang. Jowita Koncewicz	20

TRYBUNA CZYTELNIKA

List Stefana Zawadzkiego w sprawie terminologii	24
---	----

Z KRAJOWEGO BIURA INFORMATYKI

Komputer?	28
Przegląd prasy krajowej	28
Współpraca z zagranicą	29
Przegląd prasy zagranicznej	31

ZE ŚWIATA

Brytyjskie Towarzystwo Komputerowe — opracował A. B. Empacher	32
Informatyka w bułgarskim przemyśle maszynowym — D.P.	III okł.

PRZEGLĄD WYDAWNICTW

Infrainformator ISIS — ABE.	IV okł.
Bibliografia książek polskich z dziedziny informatyki	IV okł.



WYDAWNICTWA
CZASOPISM
TECHNICZNYCH
NOT
Warszawa
Czackiego 3/5

KOLEGIUM REDAKCYJNE

Redaktor naczelny prof. dr Leon ŁUKASZEWICZ

Doc. dr hab. inż. Konrad FIAŁKOWSKI (zast. redaktora naczelnego), Władysław KLEPACZ,
dr Antoni MAZURKIEWICZ, inż. Dorota PRAWDZIC (zast. redaktora naczelnego), dr inż.
Andrzej TARGOWSKI

Sekretarz Redakcji mgr Krystyna Wrońska

RADA PROGRAMOWA

Mgr inż. Jan Bursche, mgr inż. Henryk Chyrek, (wiceprzewodniczący) mgr inż. Ryszard
Dąbrówka, mgr inż. Bolesław Gliksman, mgr inż. Józef Knysz, prof. dr Leon Łukaszewicz,
mgr inż. Jan Matejak, prof. dr Tadeusz Peche (przewodniczący), mgr inż. Jerzy Trybulski
(wiceprzewodniczący), dr Tadeusz Walczak, mgr Kazimierz Wasilewski, mgr Waldemar
Wiśniewski (sekretarz), mgr Stefan Wojciechowski, dr inż. Henryk Woźniacki, mgr inż.
Jan Zdzisław Żydowo

Redakcja: Warszawa, ul. Jasna 14/16, pokój 332, tel. 26-82-61, w. 285. Zastępca redaktora naczelnego tel. 28-37-29

Zakład Kolportażu WCT NOT, Warszawa, ul. Mazowiecka 12

Zakł. Graf. „Tamka”. Z. 2. Zam. 51. Papier druk. sat. IV kl. 70 g, 61 × 86. Obj. 4 ark. druk. Nakład 3350. A-103.

Cena egzemplarza zł 8.—

INDEKS 36707

Prenumerata roczna zł 96.—

P.1877/72

Informatyka

dawniej Maszyny Matematyczne

zastosowania w gospodarce, technice i nauce

Nr 3

MIESIĘCZNIK

1972

ROK VIII

Marzec

ORGAN KRAJOWEGO BIURA INFORMATYKI I POLSKIEGO KOMITETU AUTOMATYCZNEGO
PRZETWARZANIA INFORMACJI NACZELNEJ ORGANIZACJI TECHNICZNEJ

THANASIS KAMBURELIS

681.322.004.1

ELWRO
Wrocław

System ODRA 1305

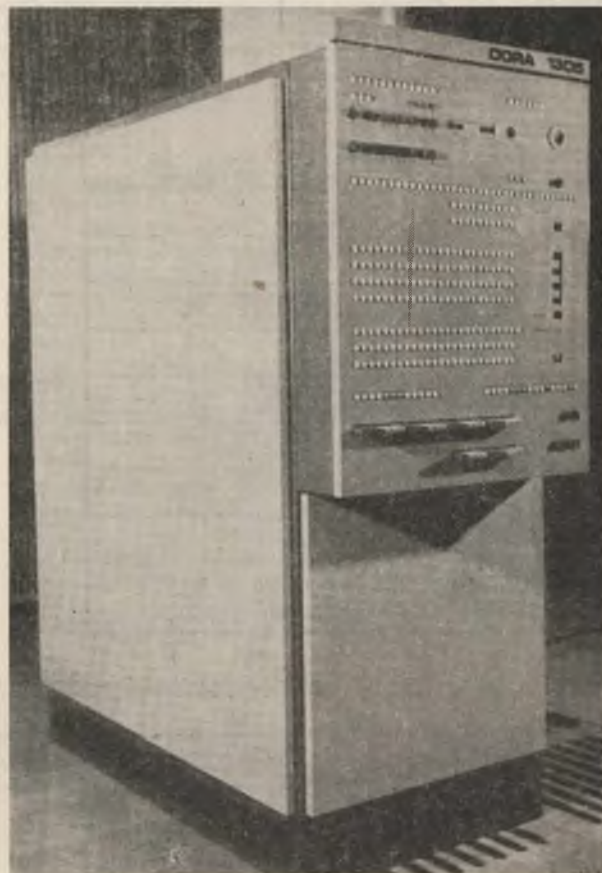
Organizacja logiczna i podstawowe dane użytkowe

W artykule podano ogólną charakterystykę komputera trzeciej generacji — ODRA-1305, przeznaczonego głównie do przetwarzania danych w dużych ośrodkach obliczeniowych oraz do obliczeń naukowo-technicznych. Nowy komputer został opracowany wspólnie przez Zakłady ELWRO we Wrocławiu i Instytut Maszyn Matematycznych w Warszawie.

dorobek zastosowań (krajowych i zagranicznych), sprawdzony na maszynach ODRA 1304, zostaje automatycznie przeniesiony do maszyny ODRA 1305. Wy-

1. Wprowadzenie

Komputery rodziny ODRA znane są powszechnie już od 10 lat. W pierwszych latach pojawienia się komputerów ODRA, główne starania Zakładów ELWRO były skierowane na opracowanie i produkcję dobrego sprzętu technicznego (hardware). Lecz jednostronność tej tendencji została w porę zauważona i od wielu lat problemom opracowania, oprogramowania (software) oraz wyposażenia komputerów ODRA we wszechstronne i nowoczesne oprogramowanie (systemowe i użytkowe) poświęca się najwięcej troski i nakładów finansowych w Zakładach ELWRO. Pierwszym objawem tej troski Zakładów ELWRO było opracowanie i produkcja komputerów ODRA 1304. ODRA 1304 jest powszechnie uważana przez użytkowników za jedną z najlepiej oprogramowanych maszyn w Europie. Komputer ODRA 1304 oparty na technice dyskretnej zapoczątkował całą rodzinę komputerów pod nazwą SYSTEM ODRA 1300. Dziś SYSTEM ODRA 1300 został rozszerzony o bogaty zestaw sprzętu komputerowego, oparty na technice scalonej. Sprzęt ten współpracuje z nowymi jednostkami centralnymi pod nazwą ODRA 1305 i ODRA 1325. Centralna jednostka przetwarzania ODRA 1305, opracowana wspólnie przez ELWRO i Instytut Maszyn Matematycznych, jest obecnie najszybszą i najbardziej wszechstronnie rozbudowywalną maszyną Systemu ODRA 1300. Oprogramowanie maszyny ODRA 1305 jest również bogate i nowoczesne. Ponadto komputer ODRA 1305 (jako największy) akceptuje w pełni oprogramowanie maszyn mniejszych ODRA 1304 i ODRA 1325. Akceptacja oprogramowania jest przy tym bardzo efektywna, gdyż odbywa się na poziomie instrukcji maszynowych. Zatem wieloletni i bogaty



konanie programów odbywa się około 12 razy szybciej w procesorze ODRA 1305 (wyposażonym w pamięć operacyjną o cyklu 1 mikrosekundy) niż w procesorze ODRA 1304. Bogactwo oprogramowania komputera ODRA 1305 rośnie również dzięki temu, że architektura logiczna komputera ODRA 1305 jest zgodna (kompatybilna) z architekturą logiczną znanych powszechnie komputerów 1905E, F i 1904A firmy International Computers Limited, z którą to firmą Zakłady ELWRO mają odpowiednie porozumienie w sprawie wzajemnego przekazywania software'u.

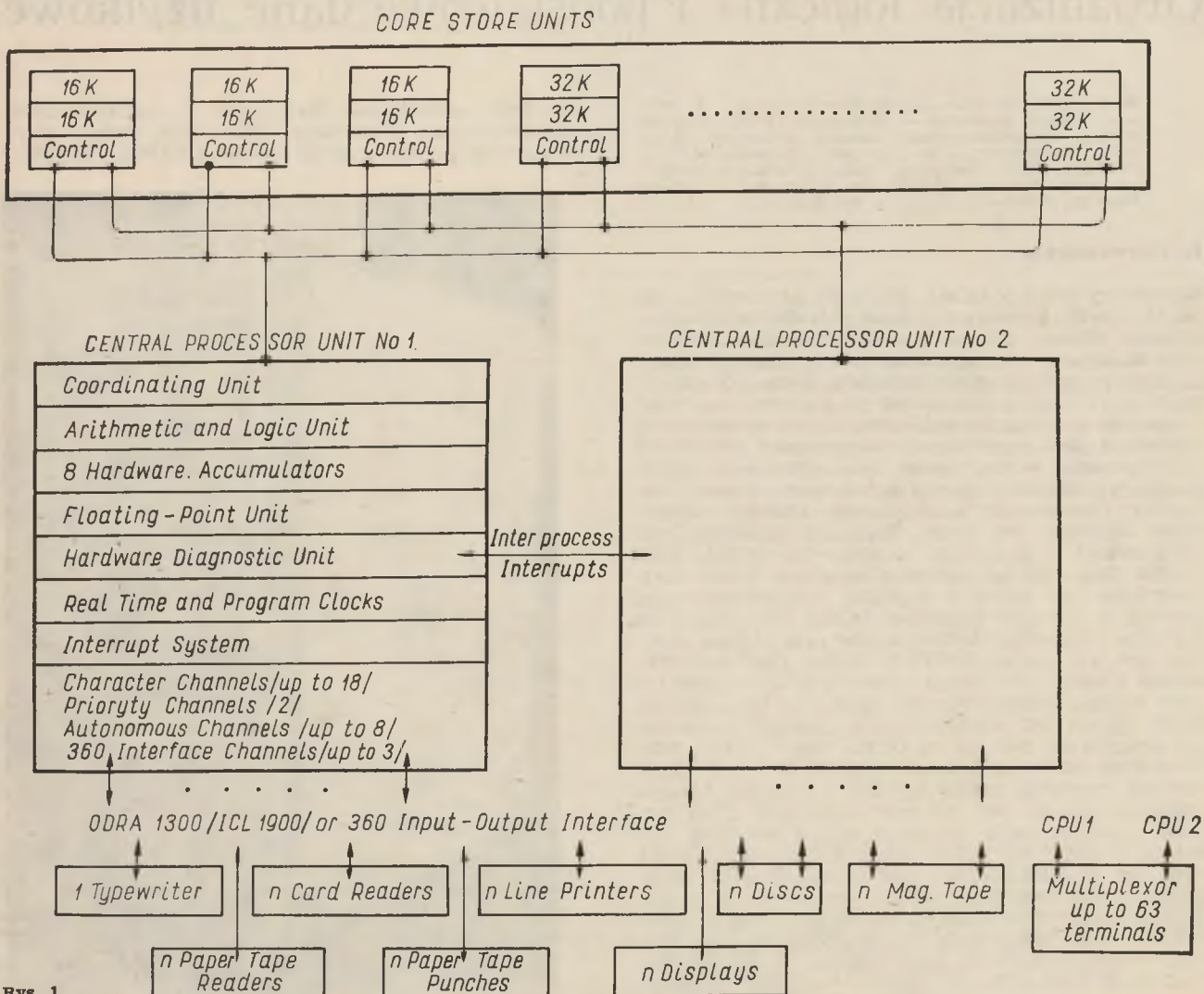
2. Ogólna charakterystyka komputera ODRA 1305

ODRA 1305 jest komputerem trzeciej generacji, przeznaczonym głównie do przetwarzania danych w dużych ośrodkach obliczeniowych i organizacjach gospodarczych oraz do obliczeń naukowo-technicznych. Jest również przygotowany do sterowania szybkimi procesami zachodzącymi w czasie realnym, dzięki wbudowaniu specjalnego stanu priorytetowego w procesorze. W praktyce ODRA 1305 może wykonywać jednocześnie różne zadania z wyżej podanych dziedzin zastosowań, dzięki posiadaniu takich cech technicznych jak: jednoczesność pracy bloków funkcjonalnych, wieloprogramowość, wielodostępność, dwuprocesowość.

Komputer ODRA 1305 został tak zaprojektowany, aby użytkownik mógł dowolnie, w zależności od swoich potrzeb, dobierać niezbędną dla niego konfigurację sprzętu (wielkości pamięci operacyjnej, liczba i typy kanałów, liczba procesorów, ilość i typy urządzeń zewnętrznych itp.). Stosownie do wybranej konfiguracji sprzętu generuje się software systemowy, gdyż struktura software'u jest również modularna.

Nowoczesne rozwiązania logiczne i konstrukcyjno-technologiczne nadają komputerowi ODRA 1305 następujące cechy:

- Pełną zgodność funkcjonalną i programową z systemami ICL 1905E, F (lub 1904A), dzięki czemu bogate i nowoczesne oprogramowanie komputerów ICL funkcjonuje w komputerze ODRA 1305 bez dokonania jakichkolwiek zmian. Również dowolne urządzenia zewnętrzne serii ICL 1900 mogą być bezpośrednio dołączone do komputera ODRA 1305, dzięki przyjęciu identycznego Interface'u wejścia-wyjścia.
- Pełną zgodność programową (z wyjątkiem oprogramowania technicznego) i Interface'u wejścia-wyjścia z komputerami serii ODRA 1300 (np. ODRA 1304, 1325), dzięki temu bogate oprogramowanie użytkowe ODRA 1304 funkcjonuje w ODRA 1305, oraz szeroki i istniejący zestaw urządzeń zewnętrznych serii ODRA 1300 może być bezpośrednio podłączony do ODRA 1305.
- Dużą elastyczność strukturalną i programową w tworzeniu dowolnych konfiguracji użytkowych.
- Wieloprogramowość (do 16 programów głównych, każdy z 3 subprogramami).
- Wielodostępność: komputer może być wykorzystywany jednocześnie przez 60 użytkowników.
- Dwuprocesowość: w takim systemie dwa procesory dzielą między sobą wspólną pamięć operacyjną.
- Wysoką niezawodność pracy systemu oraz dużą łatwość lokalizacji ewentualnych uszkodzeń, dzięki wbudowaniu specjalnego sprzętu dynamicznej detekcji i lokalizacji błędów.



Rys. 1

- Dynamiczną rekonfigurację sprzętu (np. w wypadku uszkodzenia danego bloku funkcjonalnego).
- Wysoką wydajność systemu (duża szybkość przetwarzania procesorów, bogata i wydajna lista rozkazów hardware'owo realizowanych, hardware'owe akumulatory ogólne i zmiennoprzecinkowe, szybkie kanały znakowe, szybkie kanały autonomiczne i priorytetowe, interleaving bloków pamięci operacyjnej, jednoczesność pracy wszystkich bloków funkcjonalnych).

Ogólny schemat blokowy komputera ODRA 1305 przedstawia rys. 1.

3. Organizacja logiczna komputera ODRA 1305

ODRA 1305 została tak zaprojektowana, aby praca jej odbywała się pod kontrolą programu sterującego (znanego pod nazwą EXECUTIVE). Program sterujący EXECUTIVE traktowany jest jako integralna część sprzętu technicznego ODRA 1305. Znajduje się on w początkowej części pamięci operacyjnej i jest zabezpieczony przed naruszeniem jego obszaru przez którykolwiek z szesnastu programów użytkowych. Podstawowym zadaniem programu EXECUTIVE jest wykonywanie zleceń operatora lub programisty, sygnalizacja błędów i organizacja efektywnej pracy programów użytkowych (w systemie wieloprogramowym lub wielodostępny).

EXECUTIVE spełnia swoje zadanie przez wykonanie następujących funkcji:

- sankcjonuje, zapoczątkowuje i kontroluje wszystkie przesłania danych zlecone przez programy użytkowe,
- wykonuje wszystkie funkcje rozkazów ekstrakodowych (tj. rozkazów programowanych),
- kontroluje, wykonuje lub zapoczątkowuje wszystkie czynności komunikowania się z operatorem za pośrednictwem monitora,
- organizuje i kontroluje przebieg pracy wieloprogramowej i wielodostępnej.

Ogólny (przykładowy układ programu EXECUTIVE i programów użytkowych (problemowych) w pamięci operacyjnej pokazuje rysunek 2.

Programy użytkowe zajmują dowolne pole pamięci operacyjnej i są przechowywane w dowolnej kolejności. Łączna długość wszystkich programów nie może przekroczyć liczby 262144 komórek pamięci operacyjnej (czyli 1048576 znaków alfanumerycznych). Adresacja górna rysunku 2 jest absolutną adresacją komórek pamięci operacyjnej zajętych przez poszczególne programy, zaś adresacja dolna jest adresacją względną (relatywną). Programy są przechowywane w pamięci operacyjnej w adresacji względnej, a w czasie wykonywania programu zamienia się automatycznie adresy względne na bezwzględne. Dzięki temu można w razie potrzeby (np. w czasie skreślenia jakiegoś programu) szybko przenosić programy użytkowe z jednego pola pamięci operacyjnej na inne pole bez potrzeby nowej kompilacji programu.

3.1. Formaty informacji

ODRA 1305 wykonuje działania arytmetyczne i logiczne na argumentach 24- lub 48-bitowych oraz działania na znakach i polach składających się z 6-bitowych znaków.

Podstawowe słowo maszyny ma 24 bity. Słowo zajmuje jedną komórkę pamięci operacyjnej lub jeden rejestr procesora. Dwa takie kolejne słowa tworzą tzw. argumenty długie (48-bitowe), zaś z kolejnych

słów tworzy argumenty praktycznie dowolnej długości. Słowo 24-bitowe zawiera 4 adresowane znaki (tzw. 6-bitowe byte'y), dla których wbudowano bogaty zbiór operacji maszynowych (np. pobranie znaku alfanumerycznego, pamiętanie znaku, konwersja znaków z układu dziesiętnego na układ binarny i na odwrót, przenoszenie pola znaków itp.).

Rozkaz (instrukcja) ODRA 1305 ma również 24 bity i zajmuje jedną komórkę pamięci operacyjnej. W rozkazie umieszcza się informacje określające:

- typ wykonanej operacji (7-bitowa część F),
- adres jednego z 8 akumulatorów X (w którym przechowuje się pierwszy argument operacji), zbudowanych na układach scalonych,
- adres pierwotny komórki pamięci operacyjnej (12-bitowa część N),
- adres modyfikatora M (tj. akumulator X1, X2 lub X3).

Adres N oraz zawartość modyfikatora M (18 bitów) określają tzw. adres efektywny komórki (zawierającej drugi argument operacji) w sposób następujący $N := N + (M)$; gdzie (M) oznacza zawartość rejestru modyfikatora. Adresy efektywne można również określać różnymi premodyfikacjami i modyfikacjami relatywnymi (tj. według stanu licznika rozkazów). Dokładną strukturę rozkazów przedstawia rys. 3.

3.2. Rejestry i indykatory wewnętrzne

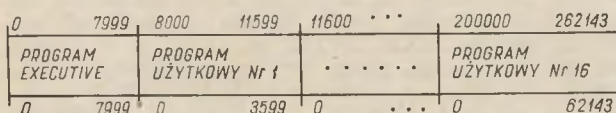
W jednostce centralnej ODRA 1305 znajdują się różne rejestry biorące udział przy wykonywaniu operacji arytmetycznych, logicznych i organizacyjnych oraz wskaźniki (indykatory) opisujące stany poszczególnych bloków funkcjonalnych. Poniżej opiszemy tylko najważniejsze z nich (patrz rysunek 4).

- Rejestry DATUM (DT) i LIMIT (LM). Są to formalnie 18-bitowe rejestry, w których przechowuje się adresy graniczne programu bieżącego. Rejestr DATUM zawiera adres bezwzględny pierwszej komórki pamięci operacyjnej danego programu, zaś rejestr LIMIT adres ostatniej komórki (powiększony o jeden) tego programu. W czasie pracy wszelkie bezwzględne adresy efektywne (rozkazów lub argumentów operacji) programu aktualnie pracującego powinny spełniać nierówność:

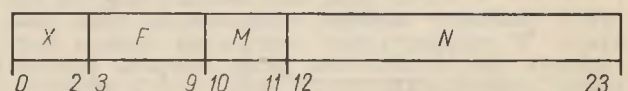
$$\text{DATUM} \leq \text{ADRES} < \text{LIMIT}$$

Pojawienie się adresu nie spełniającego powyższej nierówności powoduje przerwanie bieżącego programu i przejście do programu EXECUTIVE. W ten sposób zapewniona jest protekcja programów (przed wzajemnym zniszczeniem informacji w nich zawartych). Każdy program ma własne graniczne adresy przechowywane w odpowiednich tablicach programu EXECUTIVE. Program EXECUTIVE wpisuje w rejestrach DT i LM adresy graniczne danego programu przed powołaniem go do pracy.

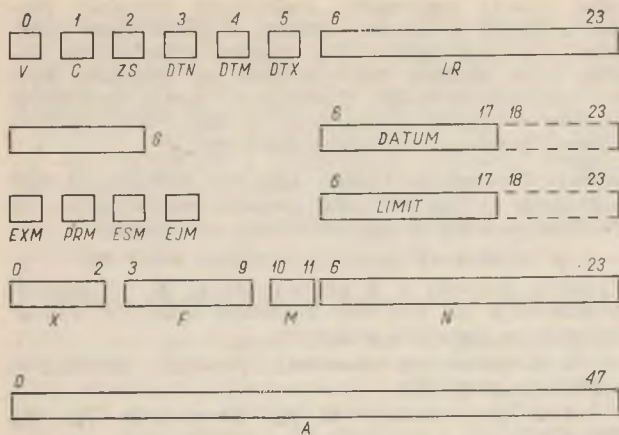
- Rejestr Licznika Rozkazów LR (Instruction counter). Rejestr ten zawiera 18 pozycji; przechowuje się w nim adres bezwzględny kolejnego rozkazu do wykonania.
- Rejestr rozkazu składa się z części: X dla pamiętania adresu akumulatora ogólnego (0÷7), F dla pamiętania funkcji rozkazu (000÷177), M dla pamiętania adresu modyfikatora (1÷3), N dla pamiętania adresu argumentu operacji (0÷4095).
- Akumulator zmiennoprzecinkowy A (48 bitów).
- Wskaźnik nadmiaru V i wskaźnik przeniesienia C.



Rys. 2



Rys. 3



Rys. 4

● Wskaźniki EXM (Executive Mode) i PRM (Priority Mode) opisujące stan programowy, w którym znajduje się w danej chwili procesor:

EXM	PRM	stan procesora
0	0	stan programu Normalnego
0	1	stan programu Priorytetowego
1	0	stan programu EXECUTIVE
1	1	stan programu Priorytetowego

Zatem procesor może znajdować się w jednym z trzech stanów. Przechodzi on w stan programu Priorytetowego, gdy otrzyma specjalne przerwania od tzw. Kanału Priorytetowego (współpracującego bezpośrednio z urządzeniami sterującymi danym procesem przemysłowym zachodzącym w czasie realnym). Przerwania priorytetowe są przyjmowane zarówno w stanie Normalnym jak i w stanie EXECUTIVE. W stanie EXECUTIVE procesor wykonuje różne funkcje (np. inicjowanie przesyłań u urządzeń zewnętrznych, zmiana stanu rejestrów DT i LM), które nie są wykonywane w innych stanach, i traktowane są jako nielegalne (powodujące przerwanie programowe).

Wskaźniki ESM (Extended Store Mode) i EJM (Extended Jump Mode); uruchamiają one dodatkowe mechanizmy w procesorze w przypadku, gdy pojemność danego programu przekracza 32 K słów maszynowych ($K = 1024$).

Rejestr G (4-bitowy), pamięta się w nim numer binarny aktualnie pracującego programu głównego. Wskaźniki ZS, DTN, DTM i DTX. Wskaźnik ZS służy do likwidacji zer początkowych liczb dziesiętnych otrzymanych przy pomocy specjalnych rozkazów konwersji z układu binarnego na układ dziesiętny. Natomiast wskaźniki DTN, DTM i DTX powodują, gdy ich stan równa się 1, że adresy N, M i X występujące w rozkazach programu EXECUTIVE są automatycznie powiększane o zawartość rejestru DT, czyli w tych przypadkach EXECUTIVE kontaktuje się z komórkami programu użytkowego (o adresach: $N+DT$, $M+DT$, $X+DT$).

3.3. Lista rozkazów

Lista rozkazów (instrukcji) maszyny ODRA 1305 jest bogata i efektywna. Zawiera ponad 140 rozkazów logicznych, arytmetycznych, zmiennoprzecinkowych, konwersji, działań na znakach i na polach z danymi.

3.4. Technika rozkazów ekstrakodowych

Technika ta polega na tym, że pewna grupa rozkazów (tj. rozkazy o kodach 140÷147, 150÷157, 160÷167 i 170÷177 w stanie programu Normalnego) nie ma pełnej realizacji hardware'owej funkcji tych rozkazów. W związku z tym podstawowa funkcja tych rozkazów jest wykonywana przez specjalne podprogramy systemu EXECUTIVE, przy czym programista nie jest świadomy tego faktu. Pojawienie się takiego rozkazu ekstrakodowego powoduje automatyczne

przejdzie do systemu EXECUTIVE, wykonanie funkcji rozkazu przez odpowiedni podprogram w EXECUTIVE i powrót do programu użytkowego.

3.5. Akumulatory hardware'owe

Każdy program użytkowy ma 8 rejestrów 24-bitowych, zwanych akumulatorami ogólnymi $X(X_0 \div X_7)$. W rejestrach tych przechowuje się na ogół jeden z argumentów operacji oraz rezultat operacji. Ponadto każdy program ma jeden 48-bitowy akumulator zmiennoprzecinkowy A. Z punktu widzenia programisty akumulatory ogólne X zajmują 8 pierwszych komórek pamięci operacyjnej danego programu użytkowego (o adresach 0, 1, ..., 7). Zatem każdy z 16 programów użytkowych ma swoje własne akumulatory X i A. Natomiast z punktu widzenia technicznego w procesorze ODRA 1305 istnieje jeden zestaw 8 ogólnych akumulatorów hardware'owych $HX(HX_0 \div HX_7)$ oraz jeden hardware'owy akumulator zmiennoprzecinkowy HA. Akumulatory HX i HA spełniają rolę akumulatorów X i A programu bieżącego. W związku z tym, gdy dany program zostaje uruchomiony, przepisuje się stan akumulatorów X i A tego programu do rejestrów roboczych HX i HA (przepisanie to odbywa się jednym rozkazem). Zatem program bieżący w czasie swej pracy nie musi kontaktować się z komórkami pamięci operacyjnej lecz bezpośrednio z akumulatorami hardware'owymi. Jest to więc ogromna oszczędność czasu, gdyż dostęp do komórki pamięci operacyjnej wymaga czasu około 1 μ sek (lub 2 μ sek — zależnie od cyklu stosowanej pamięci), zaś dostęp do rejestru hardware'owego jest praktycznie natychmiastowy. Natomiast w czasie przerwania programu bieżącego stan akumulatorów hardware'owych HX i HA zostaje automatycznie przenoszony do komórek o adresach 0÷7 i 12÷13 tego programu; zaś do rejestrów HX i HA ładuje się stan akumulatorów X i A nowego programu.

3.6. Zegar czasu realnego i zegar programowy

W dużych i średnich systemach komputerowych, eksploatowanych jednocześnie przez wielu użytkowników (np. w systemie wieloprogramowym lub wielodostępnym), powstaje problem liczenia czasu zajętości procesora przez poszczególne programy użytkowe. Potrzebny jest również dokładny protokół z przebiegu pracy programów w czasie realnym. W tym celu wybudowano w procesorze ODRA 1305 dwa zegary elektroniczne:

- zegar czasu realnego i
- zegar programowy.

Zegar czasu realnego pracuje „non stop” i odmierza odcinki czasowe równe 200 milisekundom. Oznacza to, że gdy mija kolejny 200-milisekundowy odcinek czasu, zegar powoduje przerwanie programowe i wejście do systemu EXECUTIVE. EXECUTIVE na tej podstawie aktualizuje swoje programowe zegary, w których rejestruje kolejne sekundy, minuty i godziny. Na przykład fakt upłynięcia kolejnej minuty jest sygnalizowany na wydruku monitora, zaś upłynięcia 5 sekund — powoduje pewne kontrole prawidłowości przesyłań danych.

Zegar programowy natomiast służy do dokładnego zliczania czasu pracy poszczególnych programów użytkowych. Jest to rejestr hardware'owy, do którego dodaje się 1 co 4,8 mikrosekundy, gdy funkcjonuje program użytkowy (pojemność hardware'owego zegara programowego wystarcza na 10 sekund). Zatem w zegarze tym akumuluje się czas pracy programu bieżącego z dużą dokładnością. Gdy dany program zostaje przerwany, to zawartość hardware'owego zegara programowego zostaje dodana do ustalonej komórki systemu EXECUTIVE, w której przechowuje się całkowity czas pracy danego programu użytkowego. Oczywiście w systemie EXECUTIVE przeznacza się odrębne komórki dla różnych programów użytkowych. Na tej podstawie wiadomy jest podział

czasu pracy procesora pomiędzy programami użytkowymi.

3.7. System przerwania programowych

W czasie wykonywania programów procesor ODRA 1305 może przyjmować różne sygnały pochodzące od urządzeń zewnętrznych lub od zespołów wewnętrznych procesora (np. przepełnienie zegara czasu realnego, operacja nielegalna, próba naruszenia granic programu bieżącego). Sygnały od urządzeń zewnętrznych pojawiają się na ogół wtedy, gdy dane urządzenie zrealizowało zleconą transmisję danych lub gdy zaszło jakieś nieoczekiwane zdarzenie.

Sygnały te dzielą się na dwie grupy:

- sygnały normalne (od 1 do 63) i
- sygnały priorytetowe (jeden sygnał od jednego kanału priorytetowego).

Sygnały priorytetowe mają pierwszeństwo przed sygnałami normalnymi, również między sygnałami danej grupy istnieje ustalony priorytet obsługi tych sygnałów. Normalne sygnały przerwania są przyjęte tylko wówczas, gdy procesor wykonuje jakiś program użytkowy. Pojawienie się takiego sygnału powoduje przerwanie programu bieżącego i wejście do systemu EXECUTIVE, który zajmuje się ustaleniem przyczyny przerwania programu oraz obsługą tego przerwania (np. organizuje dalsze przesyłanie danych do pamięci dyskowej). Jeśli procesor znajduje się w stanie programu EXECUTIVE, to przerwania normalne muszą poczekać do momentu powrotu do programu użytkowego. Natomiast priorytetowe sygnały przerwania są przyjmowane zarówno w stanie programu Normalnego jak i w stanie programu EXECUTIVE. Po przyjęciu takiego sygnału zapala się wskaźnik PRM i następuje automatyczne przejście do tzw. programu Priorytetowego, który zajmuje się obsługą tego przerwania.

Poniżej podaje się dla przykładu funkcję przerwania normalnego:

- Zapamiętanie stanu akumulatorów hardware'owych w komórkach (programu przerwano) o adresach $DT+0$, $DT+7$.
- Zapamiętanie adresu względnego następnego rozkazu (programu przerwano), tj. $LR+1$ z różnymi wskaźnikami (V, C, ZS) w komórce $DT+8$.
- Zapamiętanie hardware'owego akumulatora zmienoprzecinkowego w komórkach $DT+12$ i $DT+13$.
- Ustawienie wskaźnika EXM w stan 1.
- Zerowanie wskaźników V, C, ZS i rejestru G.
- Wpisanie liczby 16 do licznika rozkazów LR i przejście do wykonania rozkazu z komórki 16 programu EXECUTIVE.

Uwaga: powyższa pełna funkcja przerwania programowego jest wykonywana tylko dla pierwszego przerwania (o najwyższym priorytecie) zaś sygnały dalszych przerwania są (z inicjatywy systemu EXECUTIVE) przyjmowane i obsługiwane przed pełnym powrotem do jakiegoś programu użytkowego.

3.8. System wejścia-wyjścia (WE-WY)

Transmisja danych z urządzeń zewnętrznych do pamięci operacyjnej (i na odwrót) odbywa się za pośrednictwem kanałów.

W maszynie ODRA 1305 wyróżnia się dwa typy kanałów:

- kanały znakowe (w tym multiplexorowe)
- kanały autonomiczne (słowne).

Przez kanały znakowe podłącza się urządzenia wolne (np. czytnik kart, drukarka wierszowa) zaś przez kanały autonomiczne urządzenia szybkie (np. pamięć taśmowa, pamięć dyskowa). Maksymalna szybkość przesyłania danych za pośrednictwem kanałów znakowych wynosi około 200 000 znaków 6-bitowych na sekundę, zaś kanałów autonomicznych około 500 000 znaków na sekundę. Przy tym kanały autonomiczne

nie tylko mają większą szybkość przesyłania lecz także powodują mniejszą zajętość pamięci operacyjnej. Na przykład zapis (lub odczyt) jednego znaku z urządzenia zewnętrznego (przez kanał znakowy) do pamięci operacyjnej zajmuje czas równy (w przybliżeniu) trzem cyklom pamięci, natomiast zapis jednego słowa (tj. czterech znaków na raz) przez kanał autonomiczny zajmuje czas tylko jednego cyklu pamięci, czyli kanały autonomiczne, które są stosunkowo drogie, zajmują pamięć operacyjną (wówczas nie mają dostępu do pamięci inne kanały ani arytmometr) około 12 razy mniej niż kanały znakowe.

W procesorze ODRA 1305 można wbudować do 18 kanałów znakowych oraz do 8 kanałów autonomicznych.

Oprócz kanałów znakowych i autonomicznych, które realizują blokowe transmisje, istnieje także specjalny kanał zwany priorytetowym, do sterowania pracą urządzeń w czasie realnym.

3.8.1. Struktura słów sterujących transmisją

Wszystkie informacje potrzebne do sterowania transmisją danych są zawarte w tzw. Słowie Sterującym Kanału (SSK).

Informacja SSK zajmuje dwie kolejne komórki (programu EXECUTIVE): $256+4K+0$ i $256+4K+1$ lub $256+4K+2$ i $256+4K+3$, gdzie K jest numerem bezwzględnym kanału (urządzenia). W komórkach $256+4K+0$ i $256+4K+1$ pamięta się informacje bieżące transmisji (bieżące SSK), zaś w komórkach $256+4K+2$ i $256+4K+3$ pamięta się dodatkowe SSK, które opisują transmisję następnego bloku danych. Strukturę słowa sterującego kanału przedstawia rys. 5.

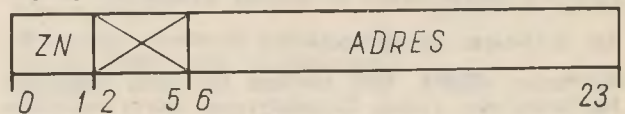
18-bitowa część ADRES określa początkowy adres przesyłania (tj. adres pierwszego przesłanego słowa), zaś 2-bitowa część ZN — określa adres przesyłanego znaku (w przypadku transmisji znakowej, a w przypadku transmisji słownej część ZN jest obojętna). W czasie transmisji słownej część ADRES jest powiększana o jeden po przesłaniu jednego słowa, czyli $ADRES' = ADRES+1$; zaś część ZN zmienia się (tylko w czasie transmisji znakowej) według następującego schematu:

$$\begin{aligned} ZN' &= ZN+1 \text{ dla } ZN = 0, 1, 2; \text{ lub} \\ ZN' &= 0 \text{ i } ADRES' = ADRES+1 \text{ dla } ZN = 3. \end{aligned}$$

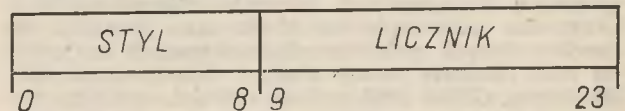
Część LICZNIK (15-bitowa) podaje liczbę słów lub znaków do przesyłania i jest pomniejszana o jeden po przesłaniu jednego słowa lub znaku. Czyli $LICZNIK' = LICZNIK-1$.

Część STYL (9-bitowa) określa bliżej typ (lub sposób) transmisji. Na przykład: wprowadzenie lub wyprowadzenie danych, przesyłanie znaków lub słów, przesyłanie typu „w przód” lub typu „w tył”, kanał multiplexorowy lub selektorowy, przesyłanie zwykłe lub specjalne (z automatycznym przepisywaniem sta-

Komórka: $256+4K+1$



Komórka: $256+4K+0$



Rys. 5

nu dodatkowego SSK do komórek bieżącego SSK, gdy licznik bieżącego SSK osiągnie stan 0).

3.8.2. Zapoczątkowanie przesyłania danych

Gdy dany program użytkowy żąda wprowadzenia (wyprowadzenia) bloku znaków lub słów z określonego urządzenia pamięci operacyjnej, to stosuje się rozkaz 157 (PERI), który jest rozkazem ekstrakodowym (czyli powoduje skok do EXECUTIVE). W polu sterującym, określonym adresem względnym N rozkazu 157, znajdują się wszelkie informacje potrzebne do zapoczątkowania przesyłania do lub z określonego urządzenia zewnętrznego. Jeśli rozpatrywane urządzenie jest wolne, to EXECUTIVE montuje słowo sterujące kanału SSK na podstawie zawartości komórek N+2 i N+3 pola sterującego rozkazu 157. Ponadto na podstawie komórki N-tej pola sterującego ładuje (za pomocą rozkazu 174E) parametr „sposób przesyłania” do rejestru specjalnego urządzenia zewnętrznego i część STYL słowa SSK, po czym daje sygnał zapoczątkowania przesyłania.

Po tych czynnościach transmisja zostaje zapoczątkowana rozkazem 174E (E — oznacza, że rozkaz ten jest nielegalny w programie normalnym i może być wykonany jedynie w systemie EXECUTIVE) i przebiega autonomicznie, to jest zarówno w kanale znakowym jak i w kanale autonomicznym, zaś program EXECUTIVE oddaje sterowanie (rozkazem 173E) programowi użytkowemu, który zainicjował rozkaz ekstrakodowy 157.

3.8.3. Koniec przesyłania danych

Gdy dana transmisja bloku danych zostanie zakończona, to jednostka sterująca urządzenia wysiła do jednostki centralnej sygnał przerwania (interrupt) programu, oznaczony przez PINT. Sygnał ten jest zarejestrowany w jednej z pozycji rejestru przerwań. Wówczas następuje przerwanie bieżącego programu i skok do komórki 16 programu EXECUTIVE. Na wstępie EXECUTIVE ustala badając rejestr przerwań numer jednostki sterującej urządzenia, które wysłało sygnał PINT. Znając ten numer EXECUTIVE z kolei bada przyczynę przerwania, czytając rejestry specjalne jednostki sterującej urządzenia. Jeśli przyczyną był koniec transmisji danych, w której nie powstał błąd, to program EXECUTIVE uruchamia program, który czekał na to zakończenie przesyłania danych.

3.8.4. Kanały przesyłania danych

ODRA 1305 może być opcjonalnie wyposażona w zespół kanałów spełniających zasady interface'u wejścia-wyjścia typu IBM360 lub 370.

W skład zespołu mogą wchodzić trzy kanały:

- kanał typu multiplexor i
- dwa kanały typu selektor.

Kanały typu selektor zawierają tylko po jednej drodze (tzn. mogą wykonywać w danej chwili jedną operację wejścia-wyjścia). Natomiast multiplexor zawiera 128 dróg i tym samym może jednocześnie realizować do 128 przesyłań danych. Ilość jednostek sterujących podłączonych do kanału wynosi 8.

3.9. System diagnostyki

Komputer ODRA 1305 zawiera specjalną jednostkę hardware'ową, zwaną diagnostyczną, której zadaniem jest dynamiczne kontrolowanie poprawności działań maszynowych. Kontrola ta przebiega równocześnie z procesem obliczeń i powoduje specjalne przerwanie programu bieżącego (na poziomie mikrooperacji) w przypadku pojawienia się błędu oraz przejście do hardware'owych procedur diagnostycznych mających na celu zbadanie natury błędu i zlokalizowanie źródła błędu. ODRA 1305 posiada również specjalne rozkazy diagnostyczne, które mogą testować pracę procesora na poziomie mikrooperacji (tj. na najniższym

poziomie) oraz dokonywać fotografii stanu wewnętrznego procesora na każdym etapie wykonania rozkazu. Stany te mogą być z kolei analizowane przez software'owe systemy diagnostyki (szczególnie przydatne w systemie dwuprocessorowym). Wykrycie błędu trwałego w danym procesorze powoduje również tzw. przerwanie międzyprocesorowe, dzięki któremu całość pracy zostaje automatycznie przejęta przez drugi procesor (łącznie z funkcją stawiania diagnozy dotyczącej błędu uszkodzonego procesora). W ten sposób bezawaryjność dwuprocessorowego systemu liczącego ODRA 1305 jest bardzo duża.

W maszynie ODRA 1305 wbudowano dwa typy dynamicznej detekcji błędów:

- detekcja ciągła, towarzysząca operacjom: przesyłań, logicznym i arytmetycznym wykonywanym w procesorze oraz operacjom przesyłań wykonywanym w kanałach znakowych i autonomicznych,
- detekcja okresowa, zachodząca kilkanaście razy w czasie jednej sekundy, przeprowadza kompletną kontrolę poprawności pracy procesora za pomocą optymalnie dobranych szablonów testowych oraz kompletną kontrolę kanałów autonomicznych (to jest wszystkich dróg przesyłania, rejestrów adresów i liczników oraz pólsumatorów kanału). Błędy wykryte przez układy detekcji kanałów (nie zawsze oznacza to, że źródło błędu znajduje się w kanale, bowiem najczęściej błędy powstają w urządzeniach zewnętrznych lub na liniach interface'u) są sygnalizowane jednostkom sterującym urządzeń zewnętrznych, gdzie zostają zarejestrowane i powodują przerwanie programowe (to jest wejście do systemu EXECUTIVE). System EXECUTIVE powtarza w takich przypadkach przesłanie bloku danych kilkanaście razy. Jeśli błąd zniknie, to zostanie on zakwalifikowany jako losowy (i odpowiednio zarejestrowany), a praca systemu i urządzenia będzie kontynuowana.

3.10. System dwuprocessorowości

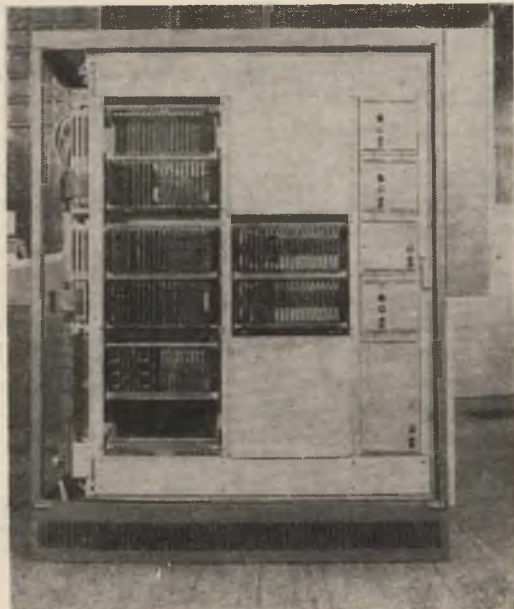
W dużych lub średnich systemach obliczeniowych jednym z najdroższych elementów systemu jest pamięć operacyjna (główna), przy czym czas wykorzystania pamięci operacyjnej (zwłaszcza niezależnych bloków) przez procesor, pracujący w systemie jednoprocessorowym, jest tylko małym ułamkiem całkowitego czasu obliczeń. Wykorzystanie bloków pamięci operacyjnej może być zwiększone, jeśli pamięć operacyjna zostanie tak zorganizowana, aby była wspólną pamięcią dla dwóch lub więcej procesorów i w tym tkwi głównie koncepcja wieloprocessorowości. Ważnym celem wieloprocessorowości jest także zwiększenie niezawodności systemu liczącego. Uszkodzenie dowolnego bloku pamięci operacyjnej lub procesora nie uniemożliwia pracy systemu (choć wydajność obliczeniowa systemu maleje w takich przypadkach). Procesory ODRA 1305 są tak budowane, aby można je było zestawiać w system dwuprocessorowy bez żadnych zmian (natomiast po małych zmianach także w system czteroprocessorowy). Również niezależnie (logicznie) bloki pamięci operacyjnej mają odrębne drogi (szyny) współpracy z każdym procesorem. System dwuprocessorowy można również łatwo rekonfigurować przez zmniejszenie (lub zwiększenie) pojemności pamięci operacyjnej lub przez tworzenie dwóch niezależnych systemów jednoprocessorowych. Oczywiście system dwuprocessorowy wymaga specjalnego systemu operacyjnego (który jest połączeniem funkcji programu EXECUTIVE i GEORGE). System ten będzie sterował pracą obu procesorów i wszystkich urządzeń zewnętrznych (połączonych na ogół do różnych procesorów). Organizacja dwuprocessorowego systemu ODRA 1305 pozwala także na niezależny dostęp do urządzeń zewnętrznych od dwóch różnych procesorów, co daje możliwość szybkiej rekonfiguracji urządzeń zewnętrznych.

3.10.1. Pamięć operacyjna

Pamięć operacyjna (rys. 6) składa się z pewnej liczby niezależnych bloków o pojemności 32K lub 64K

słów 25-bitowych i o łącznej pojemności systemu 256K. Każdy blok pamięci operacyjnej współpracuje odrębnymi szynami z każdym z procesorów. Zatem każdy blok pamięci ma dwie kompletne szyny, na których podawane są następujące informacje:

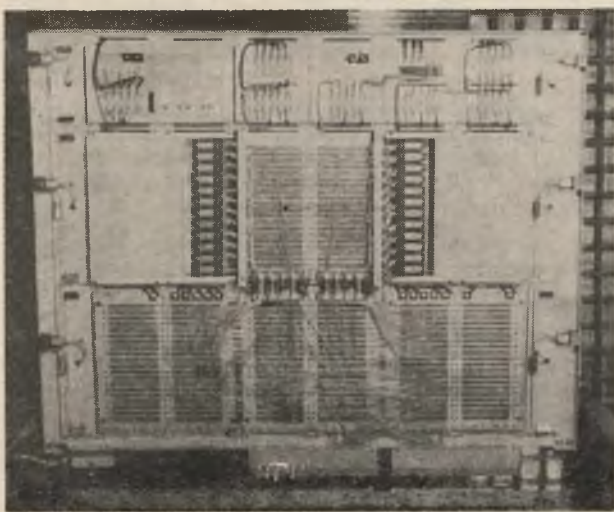
- adres komórki bloku,
- informacja odczytywana z bloku,
- informacja do zapisu w bloku,
- informacja sterująca sposobem współpracy.



Rys. 6

3.10.2. Adresowanie początkowego obszaru pamięci

Cała pamięć operacyjna jest normalnie dostępna dla programów wykonywanych w obu procesorach z wyjątkiem obszaru początkowego o adresach od 0 do 255. Obszar ten jest podzielony na 8 podobszarów, każdy po 32 komórki. Każdemu procesorowi przypisuje się jednoznacznie jeden taki podobzars. Czyli istnieje możliwość, w ogólnej koncepcji, zorganizowania systemu ośmioprocesorowego. Komórki danego podobszaru są normalnie dostępne tylko dla odpowiedniego procesora. W tym obszarze przechowuje się akumulatory pamiętane, różne ślady oraz wejścia związane z przerwaniem danego procesora. Ponieważ każdy procesor adresuje swoje komórki od 0, to wprowadzono w każdym procesorze układ reali-



Rys. 6a

zujący dodatkową modyfikację: $N+32 \cdot p \cdot d$, dla $N \leq 256$; gdzie N oznacza adres skutecznego procesora, p — numer danego procesora, d — parametr mający wartość 1, gdy procesor jest nastawiony na pracę wieloprocesorową, a wartość 0 w przypadku pracy jedno-procesorowej.

Poniżej opisuje się jeszcze jeden podział pamięci operacyjnej związany z systemem transmisji. Jak już wiadomo, w systemie jednoprocessorowym komórki początkowe o adresach od $256+4K+0$ do $256+4K+3$ zawierają słowa sterujące kanału o numerze K . W przypadku systemu wieloprocesorowego podłącza się do danego procesora różne urządzenia, podłączone do różnych procesorów mogą mieć przyporządkowane te same numery. W związku z tym, w celu uniknięcia konfliktów, przydziela się każdemu procesorowi odrębny obszar (po 256 komórek), dla przechowania słów sterujących kanałów, według wzoru: $256+4K+256 \cdot p$; gdzie p jest numerem procesora.

3.10.3. Rozkazy pracy wieloprocesorowej

Dla usprawnienia organizacji pracy wieloprocesorowej wprowadzono różne rozkazy wykonywane tylko w stanie EXM=1. Poniżej wymienimy dwa najważniejsze z nich (o kodach 150E i 151E).

Rozkaz 150E (Czytaj i Blokuj)

Czytaj z określonego pola (przez adres N) pamięci operacyjnej oraz pozwól innym procesorom czytać z tego pola także, lecz zabroń (zablokuj) im pisanie do tego pola. Rozkaz ten jest wykorzystywany przy ustawianiu zakazu dokonania zmian w danym polu aż do odwołania tego zakazu.

Rozkaz 151E (Pisz i Blokuj)

Pisz do określonego pola (przez adres N) pamięci operacyjnej oraz zablokuj zarówno zapis do tego pola jak i odczyt z tego pola dla innych procesorów. Rozkaz ten jest wykorzystywany przy dokonywaniu korekty informacji danego wspólnego pola i poprzedza sekwencję rozkazów dokonujących korekty tego pola.

4. Podstawowe dane techniczne

Poniżej podaje się najważniejsze dane użytkowe komputera ODRA 1305

czasy wykonania podstawowych operacji (w mikrosekundach) maszyny wyposażonej w minimum 32K słów (wówczas istnieje interleaving bloków pamięci operacyjnej, tj. jednoczesna praca bloków niezależnych o pojemności 16K lub 32K):

● pobranie liczby (dla 1 lub 2 μ s cyklu pamięci)	1,2	2
● dodawanie stałoprzecinkowe	1,6	3
● porównanie logiczne	1,6	3
● mnożenie stałoprzecinkowe	9	14
● dzielenie stałoprzecinkowe	14	20
● dodawanie zmiennoprzecinkowe	10	18
● mnożenie zmiennoprzecinkowe	22	40
● skoki	1	2
● średnia szybkość według mieszanki Gbssona (dla obliczeń naukowo-techn.)	280 000	150 000
● średnia szybkość według mieszanki CDC (dla przetwarzania danych)	400 000	220 000

Uwaga: wyżej podane czasy zawierają czasy wykonania wszystkich funkcji tzw. cyklu rozkazowego, tj. wyboru i odczytu rozkazu z pamięci, kontroli adresu rozkazu względem granic protekcji, rozszyfrowania rozkazu i ewentualnej modyfikacji adresu argumentu (wówczas podany czas powiększa się o około 0,25 μ s), wyboru i odczytu argumentów operacji (x i n), wykonania operacji i przechowania rezultatu operacji (najczęściej w rejestrach X lub A).

pamięć operacyjna:

— pojemność ogólna	32K, 64K, 96K, 128K, 256K
— pojemność samodzielne- go bloku	32K, 64K
— cykl pamięci	1 μ s, 2 μ s
— czas dostępu	0,4 μ s, 0,8 μ s
— ilość niezależnych pa- mięciowych szyn	od 1 do 4

kanały przesyłania danych:

— znakowe	do 18
— multiplexorowe	do 2
— autonomiczne	do 8
— szybkość znakowych	200 000 100 000 zn/s
— szybkość autonomicz- nych	500 000 500 000 zn/s
— kanały typu 360:1 Multiplexor i 2 Selektory	

5. Urządzenia zewnętrzne komputera ODRA 1305

W komputerze ODRA 1305 urządzenia zewnętrzne są podłączane do kanałów jednostek centralnych poprzez tzw. Złącze Standardowe, które jest w pełni zgodne ze złączem ODRA 1304, ODRA 1325 i ICL 1900. Do ODRA 1305 można dołączać dowolne ilości urządzeń zewnętrznych z następującego zestawu:

- Monitor typ MO-305-i, szybkość 10 znaków na sekundę.
- Czytnik Taśmy Papierowej CT304-1 lub CT305-1 (wersja scalona), szybkość 1000 znaków na sekundę.
- Perforator Taśmy Papierowej PT304-1 lub PT305-1, 100 znaków na sekundę.
- Czytnik Kart CK304-2 lub CK305, 1000 kart na minutę.
- Drukarka Wierszowa DW304-1 lub DW305-1, 1300 linii na minutę i po 120 znaków w linii.
- Adapter Pamięci Taśmowej APT-304-2, do 6 przewijków pamięci taśmowej typ PT2.
- Pamięć Taśmowa PT2, szybkość przesyłania około 43 000 znaków 6-bitowych na sekundę.
- Adapter Pamięci Taśmowej APT-305-1, do 6 przewijków pamięci taśmowej typu PT3.
- Pamięć Taśmowa PT3, szybkość przesyłania do 128 000 znaków na sekundę.
- Pamięć Bębnowa PB-304-1, po 1 048 576 znaków 6-bitowych w każdym module (tj. w czterech jednostkach bębnowych).
- Pamięć Bębnowa PB-305-1, po 2,6 mln znaków 6-bitowych w jednostce bębnowej, szybkość przesyłania 130 000 znaków na sekundę. Do jednej jednostki sterującej można dołączyć do 8 jednostek bębnowych.
- Pamięć Dyskowa ICL 2802 (lub odpowiednik), po 8 mln znaków 8-bitowych w jednostce dyskowej, szybkość przesyłania 208 000 znaków na sekundę.
- Monitor Ekranowy Alfanumeryczny MEA305-1 z buforem na 1040 znaków (26 wierszy po 40 znaków). Do jednej Jednostki Sterującej można dołączyć do 8 monitorów typu MEA305-1.
- Multiplexor MPX1325, który umożliwia dołączenia do 63 wolno pracujących urządzeń (do 200 znaków na sekundę) oraz urządzenia do transmisji danych za pośrednictwem linii telefonicznych i telegraficznych.
- Dowolne urządzenie firmy ICL (Anglia) współpracujące w myśl zasad opisanych przez Standard Interface serii ICL 1900.

6. Oprogramowanie komputera ODRA 1305

Powszechnie wiadomo, że sam zestaw urządzeń techniki cyfrowej jest tylko zbiorem metalowych skrzyży wypełnionych sprzętem elektronicznym. Dopiero bogate i sprawne oprogramowanie czyni te urządzenia przydatnym, wydajnym i nowoczesnym narzędziem pracy umysłowej.

Zakłady ELWRO włożyły wiele wysiłków wspólnie z Instytutem Maszyn Matematycznych oraz z innymi instytutami, uczelniami naukowymi i organizacjami EPD w zapewnienie komputerom ODRA 1300 nowoczesnego i bogatego oprogramowania. Szczególnie wszechstronne oprogramowanie, użytkowe i systemowe mają komputery ODRA 1305.

Oprogramowanie ODRA 1305 jest w pełni zgodne z oprogramowaniem 1905E,F firmy ICL.

Systemy operacyjne:

1. System EXECUTIVE — podstawowy system sterowania pracą maszyny
2. System GEORGE — wyższy system sterowania
3. System MOP — dla sterowania pracą maszyny w systemach wielodostępnych

Języki programowania

1. PLAN — podstawowy i uniwersalny język programowania typu Assembler
2. NICOL — prosty język pracy na kartach perforowanych
3. COBOL — powszechny język wyższego poziomu dla zastosowań ekonomicznych
4. Compact COBOL
5. FORTRAN — uniwersalny język wyższego poziomu dla zastosowań matematycznych
6. Basic FORTRAN (FORTRAN II)
7. ALGOL
8. Basic ALGOL
9. CSL i SIMON — języki do sterowania i symulacji
10. JEAN — język konwersacyjny

Systemy zarządzania i innych zastosowań

W oprogramowaniu użytkowym komputera ODRA 1305 istnieje kilka setek samodzielnych kompletów (pakietów) programów dla różnych zastosowań. Poniżej wymienione są tylko nazwy i ewentualnie krótki opis funkcji niektórych z tych pakietów zastosowań.

1. System PROMPT

Opis: system kierowania i kontroli, w którym występują takie programy jak: zestawienie zapotrzebowania materiałowego, ustalanie ilości materiałów netto i grupowanie ich w branżach, kontrola postępu produkcji, kontrola kosztów, dokumentacja pracy, kontrola zakupów.

2. System SCAN

Opis: kontrola zapasów magazynowych metodą krótkoterminowego przewidywania.

3. System PERT

Opis: pełny zestaw powiązanych programów dla przeprowadzenia analizy czasów, dla przydziału środków, dla planowania wieloprojektowego i dla kontroli kosztów.

4. System Bilansowania

Opis: planowanie i kontrola procesu produkcyjnego metodą bilansowania.

5. System PROP (szacowanie stopy zysku projektów)

6. System PEWTER

Opis: uproszczona wersja PERT dla początkujących użytkowników.

7. System POWER (etap 1)

Opis: system kontroli produkcji obejmujący takie programy jak: analiza przypadków awaryjnych, ustalanie ilości materiałów netto, długoterminowe obciążenia

8. System POWER (etap 2)

Opis: system kontroli produkcji obejmujący takie programy jak: krótkoterminowe obciążenia, kontrola nad zapasami magazynowymi, dokumentacja techno-

logiczna, kontrola zakupów i kontrola postępów produkcji.

9. System PLUTO

Opis: system jest wykorzystany do sterowania działalnością przedsiębiorstwa, może np. kontrolować produkcję, gospodarke zapasami i narzędziami, kontrolować zakupy, politykę finansową, politykę sprzedaży.

10. Systemy zastosowań przy różnych pracach inżynierskich

- System Wytyczania Poziomych Linii Przejścia
- System Wytyczania Poziomych Linii Obwodowych
- Projektowanie i Analiza Kanałów Wodnych
- Analiza Belki Jednorodnej
- Analiza Dwuwymiarowych Ram i Kratownic
- Analiza Ramy Przestrzennej
- Wymiarowanie Rur Układów Zamkniętych
- Zwarcie w Sieciach Trójfazowych
- Rozkład Obciążeń w Systemach Energetycznych
- Prognoza Ruchu Ulicznego
- Programy Wyznaczania Ruchu Ulicznego
- System MILMAP (program przygotowania sterujących taśm papierowych, użytych przy numerycznym sterowaniu frezarek)

— Analiza Systemów Energetycznych

11. Systemy informacyjne i komercyjne

- System NIC (system tworzenia różnych typów indeksów i katalogów)
- System FIND (system odzyskiwania wybranych informacji z kartoteki (files) programowanych na taśmach magnetycznych)
- System Automatycznego Składania Tekstów Drukarskich

12. Systemy matematyczne, statystyczne i badań operacyjnych:

- Optymalne Cięcie Odcinków
- Optymalne Cięcie Prostokątów
- Planowanie Przewozów
- Działania Macierzowe
- Programowanie Liniowe
- Analiza Statystyczna
- Analiza Pomiarowa
- Mieszanka o Najniższym Koszcie

13. Programy i podprogramy biblioteczne

Biblioteka programów i podprogramów standardowych komputera ODRA 1305 składa się sponad 1000 pozycji.

MAREK HOŁYŃSKI

Instytut Maszyn Matematycznych
Warszawa

519.217

Przewidywanie tendencji zmian procesów za pomocą łańcuchów Markowa

Przedstawiono rozwiązujące zagadnienia przewidywania tendencji zmian parametrów procesów przypadkowych, z zastosowaniem rachunku prawdopodobieństwa. Ze względu na dyskretność pomiarów przyjęto schemat szczególnego przypadku procesu Markowa. Podano algorytm, który może być zastosowany do nadzorowania pracy elektrowni, cementowni itp.

Maszyna cyfrowa stosowana w procesach technologicznych wykorzystywana jest na ogół do wykonywania dwóch zadań.

Pierwsze — to przetwarzanie danych, uzyskiwane w wyniku pomiarów parametrów procesu, służące celom statystycznym i sprawozdawczym. Drugim zadaniem są bieżące obliczenia, pozwalające na bezpośrednie sterowanie procesem.

Aby wpływać na przebieg procesu w sposób możliwie optymalny, należy umieć przewidywać jego przyszłe zachowanie. W procesach rzeczywistych rozróżniamy trzy składowe:

- a) zdeterminowana
- b) przypadkowa
- c) „całkowicie” przypadkowa.

W procesie mogą występować wszystkie trzy, dwie lub tylko jedna z tych składowych. W tym ostatnim przypadku proces będzie miał jednolity charakter. I tak, procesami zdeterminowanymi nazwiemy procesy wywołane działaniem określonych przyczyn. Znając działanie każdej z nich potrafimy określić wynik wypadkowy. Sama funkcja precyzyjną tę zależność musi być znana.

Jednakże w większości przypadków należy wiedzieć, do jakiej klasy funkcji ona należy. Można ją wtedy ekstrapolować, np. za pomocą ekstrapolatorów auto-

matycznych dyskretnych. Zwiększenie czasu wyprzedzenia nie zmniejsza dokładności przewidywania.

Procesy przypadkowe (stochastyczne) są opisywane funkcjami przypadkowymi. Badanie ich oparte jest na obserwowaniu procesu w celu określenia jego statystycznych prawidłowości.

Nie można w tym przypadku sprecyzować przyczynowego związku zjawisk, chociaż związek taki obiektywnie istnieje. Można dokonywać przewidywania, ale tylko dla krótkiego czasu wyprzedzenia. Zwiększenie czasu wyprzedzenia powoduje bowiem zmniejszenie dokładności predykcji.

W procesach „całkowicie” przypadkowych — w zasadzie nie da się przewidzieć przyszłości.

Interesować się będziemy rozwiązaniem zagadnienia przewidywania tendencji zmian parametrów procesu dla składowej przypadkowej; prościej — parametrów procesów przypadkowych. Na podstawie obserwacji

Mgr inż. Marek Hołyński ukończył w roku 1970 studia na Wydziale Elektroniki Politechniki Warszawskiej. Staż dyplomowy odbywał we Włoszech, zajmując się zagadnieniami automatyzacji w energetyce. Obecnie jest asystentem w Instytucie Maszyn Matematycznych, gdzie pracuje nad problemami syntezy układów scalonych o wysokim stopniu integracji.

